

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-130910

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl.<sup>5</sup>  
G 0 9 G 3/20  
G 0 2 F 1/133  
G 0 9 G 3/36

識別記号 R 7335-5G  
5 4 5 9226-2K  
7319-5G

F I

技術表示箇所

審査請求 未請求 請求項の数10(全 28 頁)

(21)出願番号 特願平5-152533

(22)出願日 平成5年(1993)6月24日

(31)優先権主張番号 特願平4-179997

(32)優先日 平4(1992)7月7日

(33)優先権主張国 日本 (JP)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 今村 陽一

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

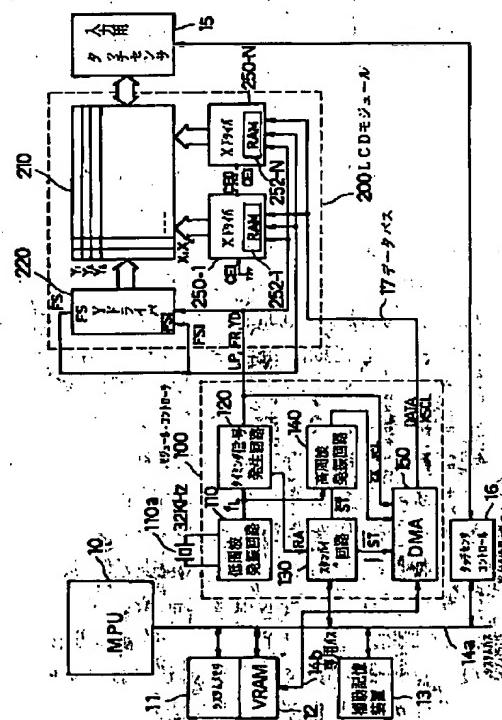
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 マトリクス型表示装置、マトリクス型表示制御装置及びマトリクス型表示駆動装置

(57)【要約】 (修正有)

【目的】 表示データの転送方式を改善し、低消費電力が少く大容量表示に適したマトリクス型表示制御装置を提供する。

【構成】 モジュール・コントローラ100は、低周波発振回路110、その低周波クロック $f_L$ を基に走査スタート信号YD等を生成するタイミング信号発生回路120、ホストMPU10との通信とシステムバス14aを監視しVRAM12内の表示データ更新に対し間欠動作開始制御信号STを作成するスタンバイ回路130、低周波クロック $f_L$ に位相同期する高周波クロックを作成する高周波発振回路140、VRAM12から専用バス14bを介して表示データをダイレクトメモリアクセスで読み出し、データバス17を介してXドライバ250-1~250-Nのフレームメモリ252へ転送するDMA回路150を有している。



(2)

## 【特許請求の範囲】

【請求項 1】 表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する隨時書き込み読み出し可能の第 1 の記憶手段と、該表示画素の少なくとも一部に対応する表示データを記憶する隨時書き込み読み出し可能の第 2 の記憶手段と、第 2 の記憶手段から表示データを読み出し前記マトリクス表示体の信号電極に駆動電圧を印加する信号電極駆動手段とを有するマトリクス型表示装置において、前記第 1 の記憶手段に記憶された表示データの変更により発振する間欠動作型高周波発振手段と、該間欠動作型高周波発振手段からの高周波クロックを用いて前記第 1 の記憶手段から前記変更に係る表示データを読み出してこれと前記高周波クロックを前記第 2 の記憶手段側へ転送する表示データ転送手段とを有することを特徴とするマトリクス型表示装置。

【請求項 2】 第 1 の記憶手段に記憶された表示データの変更により発振する間欠動作型高周波発振手段と、該間欠動作型高周波発振手段からの高周波クロックを用いて前記第 1 の記憶手段から前記変更に係る表示データを読み出しこれと前記高周波クロックを第 2 の記憶手段側へ転送する表示データ転送手段とを有することを特徴とするマトリクス型表示制御装置。

【請求項 3】 低周波数クロックを常時発振する低周波発振手段と、該低周波発振手段からの低周波数クロックを基に所要タイミング信号を生成するタイミング信号発生手段と、第 1 の記憶手段に記憶された表示データの変更により間欠動作制御信号を発生する表示データ更新検出手段と、該間欠動作制御信号により発振する間欠動作型高周波発振手段と、該間欠動作型高周波発振手段からの高周波クロックを用いて前記第 1 の記憶手段から前記変更に係る表示データを読み出しこれと前記高周波クロックを第 2 の記憶手段側へ転送する表示データ転送手段とを有することを特徴とするマトリクス型表示制御装置。

【請求項 4】 マトリクス型表示体の表示画素の少なくとも一部に対応する表示データを記憶する隨時書き込み読み出し可能の第 2 の記憶手段を有し、第 2 の記憶手段から表示データを読み出し前記マトリクス表示体の信号電極に駆動電圧を印加するマトリクス型表示駆動装置において、1 走査期間毎に受け取る周期信号を基に 1 走査期間でタイミングをずらした書き込み制御信号及び読み出し制御信号を生成するタイミング発生手段と、前記第 2 の記憶手段の同一行アドレスに対する読み出し制御信号により読み出し動作を実行した後前記書き込み制御信号により書き込み動作を実行する書き込み読み出し手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項 5】 請求項 4 に記載のマトリクス型表示駆動装置において、前記表示データの転送に用いられる高周波クロックの動作停止を検出するクロック検出手段を有し、この検出信号により前記書き込み制御信号の発生を阻

2

止する書き込み禁止制御手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項 6】 請求項 5 に記載のマトリクス型表示駆動装置において、前記書き込み読み出し手段は、入来する表示データを前記高周波クロックを順次用いて少なくとも 1 走査ライン分格納する一時格納手段と、該一時格納手段の格納表示データを前記高周波クロックの 1 周期以上の長い信号により前記第 2 の記憶手段に書き込み供給するバッファ化手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項 7】 請求項 4 至請求項 6 のいずれか一項に記載のマトリクス型表示駆動装置において、書き込み読み出し手段は、前記第 2 の記憶手段から読み出した表示データと前記マトリクス表示体の走査電極の電圧状態とから前記信号電極に印加すべき信号電圧を割り出す信号電圧状態割り付け手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項 8】 請求項 7 に記載のマトリクス型表示駆動装置において、前記信号電圧割り付け手段は、前記第 2 の記憶手段から複数の走査ライン分の表示データを時分割で読み出す手段と、読み出された表示データを相互に待ち合わせる一時記憶手段と、前記マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項 9】 請求項 7 に記載のマトリクス型表示駆動装置において、前記第 2 の記憶手段は、1 行アドレスに対し前記マトリクス表示体の複数の走査ライン分の表示データを格納するメモリ配列を有しており、前記信号電圧状態割り付け手段は、前記複数の走査ライン分の表示データを一挙に読み出す手段と、前記マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項 10】 マトリクス型表示体の走査電極を選択して駆動するマトリクス型表示駆動装置において、複数本の走査電極を同時に選択してフレーム開始信号の周期内に複数回の巡回走査をする手段とを有することを特徴とするマトリクス型表示駆動装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数ライン同時選択駆動方式を採用するに好適な液晶表示装置等のマトリクス型表示装置に関し、更に詳しくは、主にマトリクス型表示素子モジュール・コントローラと信号電極ドライバ回路の改良に関する。

(3)

3

## 【0002】

【従来の技術】従来、フラットディスプレイの一例としての単純マトリクス型液晶表示装置においては、MPU (マイクロ・プロセッサ・ユニット) 側から表示データをLCDモジュール (液晶表示パネル (LCDパネル), 走査電極駆動回路 (Yドライバ), 信号電極駆動回路 (Xドライバ) 等) へ転送する方式として、マトリクス型液晶表示素子モジュール・コントローラ (以下、モジュール・コントローラと言う) を用いる方式とRAM (読み出し専用メモリ) 内蔵型Xドライバを用いる方式とに大別できる。まず、前者の方式は、CRTを用いた表示装置と同様、システムバスに繋がるモジュール・コントローラが表示データを記憶しているビデオRAM (VRAM) から表示データを読み出し、これをLCDモジュールに対し高周波数のクロックで転送して表示リフレッシュ動作を行うものである。後者的方式は、Xドライバ内に2ポートタイプのフレームメモリ (内蔵RAM) を持ち、MPUがデータバス、コントロールバス又はアドレスバスを介して液晶表示タイミングとは無関係に直接フレームメモリにアクセスし、フレームメモリ内の表示データを変更するようになっており、Xドライバ内で所要の制御信号を生成して、内蔵フレームメモリから一走査ライン分の表示データを同時に読み出し、表示リフレッシュ動作を行うものである。

## 【0003】

【発明が解決しようとする課題】前者の方式においては、表示画面を変える度に、その液晶表示タイミングに合わせてVRAMからの読み出しと転送を行うので、VRAM, モジュール・コントローラ、及び液晶ドライバを高周波クロックで常時動作させておく必要がある。また表示リフレッシュ動作に関係する回路がVRAM, モジュール・コントローラ、及び液晶ドライバに亘る。この高周波クロックでの大規模回路の動作によると、回路素子を構成する多数のCMOSに貫通電流等が生じ、消費電力の増大に繋がり、大型LCDパネルを用いればそれだけ増大する。またVRAMに対してはMPUのアクセスとモジュール・コントローラのアクセスとがあるが、表示リフレッシュ動作時のMPUのアクセスがMPUのアクセスと衝突しないように高速クロックを用いなければならず、モジュール・コントローラの低周波動作化には制約があると共に、MPU処理能力にも制約が付く。後者的方式においては、液晶表示タイミングとは無関係に表示データの転送が行われるので、低周波クロックでの動作が可能であり、前者の方式に比べて1~2桁低い消費電力で済む。ところで、大型の液晶パネルを用いる場合においては、Xドライバの個数を増やす必要があるが、Xドライバの内蔵メモリ (RAM) はそれ自身独立のアドレス空間を有しており、Xドライバの出力端子数は一般に2のべき数 ( $2^n$ ) ではなく例えば1~60ピン等の10の倍数であるので、MPU側から複数のX:

10

20

30

40

50

4

ドライバの内蔵メモリを見た場合、内蔵メモリ全体のアドレスには離散的な空きが生じてアドレスの連続性が確保されていない場合が多い。このため、スクロール動作やパンニング動作等の表示画面全体を同時に変更する時には、MPU側でアドレス対応付けの処理を高速で行う必要を余儀無くされ、MPUに大きな処理負担を強いることになる。勿論、XドライバICの出力ピン数を2のべき数にすることによって設計可能であるが、既存の液晶パネルの電極数との整合性が崩れてしまい、システムの互換性を著しく損なう。また多数のXドライバを用いると、チップセレクト線等の本数が必然的に増え、液晶パネルの周辺に配する多数のXドライバのスペースをその分確保せねばならず、パネルの表示面積比の低下を招きLCDモジュールの小型化の障害になる。従って、後者的方式は大規模の液晶パネルに適用するには向きである。

【0004】そこで、上記各問題点に鑑み、本発明は、表示データの転送方式を改善することにより、低消費電力でありながら、大容量表示に適したマトリクス型表示制御装置、マトリクス型表示駆動装置及びマトリクス型表示装置を提供することにある。

## 【0005】

【課題を解決するための手段】上記課題を解決するために、本発明の講じた手段は、従来のモジュール・コントローラ型の表示装置と、従来のフレームメモリ内蔵型の信号電極ドライバとを組合せた方式において、モジュール・コントローラの高周波クロックの発振源を表示データの転送の際に間欠動作させるようにしたことに特徴を有する。即ち、本発明は、表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する隨時書き込み読み出し可能の第1の記憶手段と、表示画素の少なくとも一部に対応する表示データを記憶する随时書き込み読み出し可能の第2の記憶手段と、第2の記憶手段から表示データを読み出しマトリクス表示体の信号電極に駆動電圧を印加する信号電極駆動手段とを有するマトリクス型表示装置において、マトリクス型表示制御装置を、第1の記憶手段に記憶された表示データの変更により発振する間欠動作型高周波発振手段と、間欠動作型高周波発振手段からの高周波クロックを用いて第1の記憶手段から前記変更に係る表示データを読み出してこれと高周波クロックを前記第2の記憶手段側へ転送する表示データ転送手段とで構成した点に特徴を有する。このマトリクス型表示制御装置の具体的な構成は、低周波数クロックを常時発振する低周波発振手段と、低周波発振手段からの低周波数クロックを基に所要タイミング信号を生成するタイミング信号発生手段と、第1の記憶手段に記憶された表示データの変更により間欠動作制御信号を発生する表示データ更新検出手段と、間欠動作制御信号により発振する間欠動作型高周波発振手段と、間欠動作型高周波発振手段からの高周波クロックを用いて第1の記憶手段から変更に係る表示データを読み出しこれと

(4)

5

高周波クロックを第2の記憶手段側へ転送する表示データ転送手段とを有するものである。

【0006】このようなマトリクス型表示制御装置を有する表示装置において、表示画素の少なくとも一部に対応する表示データを記憶する随時書き込み読み出し可能な第2の記憶手段を有し、第2の記憶手段から表示データを読み出しまトリクス表示体の信号電極に駆動電圧を印加するマトリクス型表示駆動装置としては、1走査期間毎に受け取る周期信号を基に1走査期間でタイミングをずらした書き込み制御信号及び読み出し制御信号を生成するタイミング発生手段と、第2の記憶手段の同一行アドレスに対する読み出し制御信号により書き込み動作を実行した後書き込み制御信号により書き込み動作を実行する書き込み読み出し手段を有するものである。

【0007】そして、このようなマトリクス型表示駆動装置において、表示データの転送に用いられる高周波クロックの動作停止を検出するクロック検出手段を有し、この検出信号により書き込み制御信号の発生を阻止する書き込み禁止制御手段とを有することが望ましい。

【0008】また、マトリクス型表示駆動装置の書き込み読み出し手段は、入来する表示データを高周波クロックを順次用いて少なくとも1走査ライン分格納する一時格納手段と、一時格納手段の格納表示データを高周波クロックの1周期以上の長い信号により第2の記憶手段に書き込み供給するバッファップ手段を有することが望ましい。

【0009】複数ライン同時選択駆動方式を採用するマトリクス型表示駆動装置においては、書き込み読み出し手段は、第2の記憶手段から読み出した表示データとマトリクス表示体の走査電極の電圧状態とから信号電極に印加すべき信号電圧を割り出す信号電圧状態割り付け手段を有することが必要となる。具体的な信号電圧割り付け手段の構成の一例としては、第2の記憶手段から複数の走査ライン分の表示データを時分割で読み出す手段と、読み出された表示データを相互に待ち合わせる一時記憶手段と、マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態との不一致数を判定する不一致数判定手段と、その不一致数に応じた信号電圧を選択する電圧選択手段とを有する。また複数同時選択駆動方式を採用する別のマトリクス型表示駆動装置においては、第2の記憶手段が1行アドレスに対しマトリクス表示体の複数の走査ライン分の表示データを格納するメモリ配列を有しており、信号電圧状態割り付け手段が、複数の走査ライン分の表示データを一挙に読み出す手段と、マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有する構成を採用できる。

【0010】また、複数ライン同時選択駆動方式を採用

6

する走査電極側駆動装置における均等分散型複数ライン同時選択駆動に適した構成としては、本発明は、複数本の走査電極を同時に選択してフレーム開始信号の周期内に複数回の巡回走査をする手段を有することを特徴とする。

【0011】

【作用】このようなマトリクス型表示制御装置によれば、第1の記憶手段において表示データの変更があったときだけ高周波クロックが動作し、表示データを第2の記憶手段へ転送するものであるから、高周波クロックの間欠動作により低消費電力化を図ることができる。また第2の記憶手段に対する転送処理はMPUが行うのではなく、仲介に立つマトリクス表示制御装置が実行するものであるため、第1の記憶手段側のホストMPUの処理負担を低減できると共に、更に信号電極の駆動装置をカスケード接続することにより、ドライバ側のメモリ空間を意識せずに、マトリクス型表示体の構成に合わせて表示データの転送ができるようになり、アドレスの対応付けの容易化も達成できる。そして、第2の記憶手段に走

20 ライン毎の表示データが一挙に格納されるので、画面変更の高速化を達成できる。更に、信号電極の駆動装置のカスケード接続により大容量表示装置でもマトリクス型表示制御装置と駆動装置との結線数（例えばチップセレクト線の本数）を抑制でき、表示画面面積比率の大きな表示装置を実現できる。

【0012】また、信号電極ドライバにおいては高速クロックを用いないで1走査期間を分割したタイミングで第2の記憶手段に余裕を以てアクセスするようにしてある。

30 【0013】このため、第2の記憶手段へのアクセスタイミングが従来に比して緩和されるので、書き込み力を向上させることができ、第2の記憶手段の構成トランジスタのサイズを縮小化できる。ドライバのチップサイズの小型化にも寄与する。

【0014】

【実施例】次に、添付図面に基づいて本発明の実施例を説明する。

【0015】〔全体構成の説明〕図1は本発明の実施例に係る単純マトリクス型液晶表示装置の全体構成を示すブロック図である。この単純マトリクス型液晶表示装置は、プログラムされたホストMPU10と、このMPU10のワーキングメモリとなるシステムメモリ11と、システムメモリ11と同一のアドレス空間に表示データを格納するビデオRAM(VRAM)12と、画像、データ及び音声情報等を記憶する補助記憶装置13と、システムバス14a及び専用バス14bに繋がるモジュール・コントローラ100と、このモジュール・コントローラ100により表示制御されるLCDモジュール200と、入力用タッチセンサ15と、タッチセンサ・コントローラ16を有している。なお、システムバス14a

(5)

7

には、従来のコンピュータシステムと同様、通信制御装置や他の表示装置等の周辺装置を必要に応じて接続することができる。LCDモジュール200は、単純マトリクス型液晶表示パネル(LCDパネル)210と、そのLCDパネル210の複数の走査電極Y<sub>1</sub>, Y<sub>2</sub>…を選択する走査電極駆動回路(YドライバIC)220と、LCDパネル210の複数の信号電極に表示データを供給するN個のフレームメモリ(RAM)内蔵型信号電極駆動回路(XドライバIC)250-1~250-Nを有している。

【0016】[モジュール・コントローラの説明] モジュール・コントローラ100は、3.2KHz~5.12KHz程度の振動子1,10aを持ち低周波クロックf<sub>L</sub>を常時発振する低周波発振回路110と、その低周波クロックf<sub>L</sub>を基にLCDモジュール200に必要な走査スタート信号(フレーム開始パルス)YD、転送表示データの直並列変換用のラインラッチ信号(ラッチパルス)L<sub>P</sub>、液晶交流化信号FR等を生成するタイミング信号発生回路120と、ホストMPU10から間欠動作指示情報を直接受領したとき又はホストMPU10との通信とシステムバス14aを監視しVRAM12内の表示データの更新があったとき間欠動作開始制御信号ST(バー)を作成するスタンバイ回路(表示データ更新検出回路)130と、間欠動作開始制御信号ST(バー)の印加期間において低周波クロックf<sub>L</sub>に位相同期する高周波クロックf<sub>H</sub>を作成する高周波発振回路140と、間欠動作開始制御信号ST(バー)の印加期間においてその高周波クロックf<sub>H</sub>を利用してVRAM12から専用バス14bを介して表示データをダイレクトメモリアクセス方式で読み出し、その表示データをデータバス17のビット数又はフォーマットに変換して表示データをそのデータバス17を介してXドライバ250-1~250-Nのフレームメモリ252-1~252-Nへ転送するダイレクト・メモリ・アクセス(DMA)回路150とを有している。

【0017】タイミング信号発生回路120は、図2に示すように、低周波クロックf<sub>L</sub>を基に1水平期間内に2発のラッチパルス(ラインラッチ信号)L<sub>P</sub>を生成する分周器121と、ラッチパルスL<sub>P</sub>を計数して走査電極の順番(行アドレス)を指定するための行アドレス信号RA及びフレーム開始パルスYDを生成する垂直カウンタ122と、フレーム開始パルスYD及び垂直カウンタ122の所定カウント値に基づき液晶交流化信号FRを生成するフレームカウンタ123とを有している。スタンバイ回路130は、システムバス・インターフェース回路131と、MPU10がVRAM12のうちXドライバのフレームメモリの該当領域に表示データの変更を加えたときMPU10によって転送指示フラグが立つラインフラグレジスタ132と、転送指示フラグが立つた走査電極のアドレスと行アドレスRAとの一致/不一

50

致を判定し一致信号jを生成する比較回路133と、その一致信号jとラッチパルスL<sub>P</sub>とから間欠動作開始制御信号ST(バー)を生成する同期調整回路134とを有している。ここで、ラッチパルスL<sub>P</sub>の1水平期間

(1H) 内での発生数は、後述する2ライン同時選択駆動方式の採用により2発である。同期調整回路134は、ラッチパルスL<sub>P</sub>を反転するインバータ134aと、ラッチパルスL<sub>P</sub>の立ち下がりに同期した一致信号を生成するD型フリップフロップ134bと、その同期一致信号のパルス幅をラッチパルスL<sub>P</sub>の周期に限定して間欠動作開始制御信号ST(バー)とする論理積ゲート134cとからなる。なお、VRAM12に対する読み出しスタートアドレスはホストMPU10によって予めセットされる。

【0018】高周波発振回路140は、間欠動作開始制御信号ST(バー)及び後述する間欠動作終了制御信号CA(バー)から発振制御信号CTを作成する論理積ゲート141と、その発振制御信号CTにより間欠発振する高周波の可変周波数CR発振器142と、この高周波

の可変周波数CR発振器142で得られた高周波クロックf<sub>H</sub>を計数して間欠動作終了制御信号CA(バー)を作成して間欠動作期間を限定する間欠動作時限回路143と、その高周波クロックf<sub>H</sub>と間欠動作終了制御信号CA(バー)とから表示データのシフトレジスタ格納用のシフトロックSCLを作成する論理積ゲート144とを有している。可変周波数CR発振器142は、論理積ゲート142a、インバータ142b、142c、帰還抵抗R<sub>1</sub>、R<sub>2</sub>、R<sub>3</sub>及び帰還キャパシタC<sub>1</sub>からなるCR発振部と、抵抗選択スイッチSW<sub>1</sub>、SW<sub>2</sub>、SW<sub>3</sub>と、

MPU10により時定数がセットされてそれに応じた抵抗選択スイッチSW<sub>1</sub>、SW<sub>2</sub>、SW<sub>3</sub>の開閉の組合せを行うスイッチ選択レジスタ142dとを有している。このスイッチ選択レジスタ142dの内容により抵抗選択スイッチSW<sub>1</sub>、SW<sub>2</sub>、SW<sub>3</sub>の開閉の組合せを変えることでCR発振部に寄与する帰還抵抗(時定数)が変わるので、CR発振部の発振周波数f<sub>H</sub>の値を可変できるようになっている。間欠動作時限回路143は、高周波クロックf<sub>H</sub>を反転バッファするインバータ143aと、間欠動作終了制御信号CA(バー)の高レベル期間だけ高

周波クロックf<sub>H</sub>を通過させる論理積ゲート143bと、論理積ゲート143bからの高周波クロックf<sub>H</sub>をインバータ143eを介してクロック入力とし間欠動作開始制御信号ST(バー)の立ち下がりでリセットされるプリセット・カウンタ143cと、1走査ライン分の表示データの転送に必要な高速クロックSCL(XSC L)の数をMPU10からセット可能なクロック数レジスタ143dと、プリセット・カウンタ143cのギヤリー出力CAを反転して間欠動作終了制御信号CA(バー)を作成するインバータ143fとを有する。

【0019】ダイレクト・メモリ・アクセス(DMA)

8

(6)

9

回路150は、スタンバイ回路130からの一致信号jにより高速クロックSCLを用いて読み出しクロックRSKを専用バス14bに出力すると共にラインフラグレジスタ132に当該フラグアドレス信号及びフラグリセット信号を送るダイレクト・メモリ・アクセス(DMA)制御回路151と、読み出しクロックRSKによってVRAM12内の書換えアドレスの表示データを専用バス14bを介して読み出しデータSDとして読み込み、その読み出しデータSDをシフトクロックSCLを用いてデータバス17のビット数又はフォーマットに変換して得られた表示データDATA及びクロックSCLの周波数と等しいシフトクロックXSCCKをデータバス17を介してXドライバ250-1～250-Nへ転送するデータ変換回路152とを有している。

【0020】次に、モジュール・コントローラ100の動作について図3を参照しつつ説明する。モジュール・コントローラ100のうち、低周波発振回路110及びタイミング信号発生回路120は常時動作しているが、Xドライバ250-1～250-Nが転送されて来る表示データDATAを格納するフレームメモリ252-1～252-Nを有しているので、高周波発振回路140は常時動作する必要がなく、後述するようにVRAM12内の表示データが変更された際に間欠動作する。低周波発振回路110は低周波クロックfLを常時出力し、タイミング信号発生回路120の分周器121は低周波クロックfLを所定の分周比で分周してラッチパルスLPを生成する。ラッチパルスLPは1水平期間(1H)で2回発生し、その周波数は、 $640 \times 480$ ドットのモノクローム表示の場合、最高32KHz～80KHz程度である。垂直カウンタ122はラッチパルスLPを計数して行アドレス信号RA及びフレーム開始パルスYDを生成し、フレームカウンタ123はフレーム開始パルスYDを計数して液晶交流化信号FRを作成する。このように本例においては、LCDモジュール200側で必要な低周波数のタイミング信号(ラッチパルスLP、走査スタート信号YD及び液晶交流化信号FR)はタイミング信号発生回路120で作成される。

【0021】MPU10がVRAM12の表示データをリフレッシュ動作時に全体的に変更するときやフレーム間引き方式で階調表示する際に部分的に変更するときは、MPU10がシステムバス14及びインターフェース131を介してラインフラグレジスタ132の該当アドレスに転送指示フラグを立てる。一方、垂直カウンタ122から行アドレス信号RAがラッチパルスLPの発生の度に更新されているため、転送指示フラグの立ったフラグアドレスと行アドレス信号RAが一致すると、比較回路133から一致信号jが発生する。この一致信号jは同期調整回路134へ入力され、図3に示すように、ラッチパルスLPの立ち下がりに同期し1水平期間の周期の間欠動作開始制御信号ST(バー)が立ち上

(6)

10

る。間欠動作開始制御信号ST(バー)が立ち上がりると、論理積ゲート141の出力には発振制御信号CTが立ち上がり、CR発振部の初段の論理積ゲート142aの一方入力は高レベルとなるので、CR発振部は抵抗選択スイッチSW1～SW1の開閉組合せで指定された帰還時定数に応じた高周波数で発振クロックfHを発生し始める。発振クロックfHはインバータ143a、論理積ゲート143b及びインバータ134eを介してプリセット・カウンタ143cに供給されと共に、論理積ゲート144からクロックSCLとして出力される。このクロックSCLは高周波クロックであり、DMA回路150の表示データの読み込み及び転送に利用される。プリセット・カウンタ143cは間欠動作開始制御信号ST(バー)の立ち下がりでリセットされ、キャリー出力CAは低レベルになるが、カウント値がクロック数レジスタ143dで指定されたクロック数に達すると、高レベルのキャリー出力CAを出し、その反転信号たる間欠動作終了制御信号CA(バー)が図3に示すように立ち下がる。間欠動作終了制御信号CA(バー)が立ち下がると、発振制御信号CTも立ち下がり、これにより可変周波数CR発振器142の発振動作が中止される。このように、可変周波数CR発振器142は間欠動作開始制御信号ST(バー)と間欠動作終了制御信号CA(バー)で始点及び終点が限定された期間だけ間欠的に発振動作し、クロック数レジスタ143dで指定される1走査ライン分の表示データの転送に必要なクロック数の高周波クロックfHを発生する。これによって、表示データの変更がないときは可変周波数CR発振器142の不必要的発振動作を解消することができ、消費電力の削減に寄与することになる。

【0022】他方、DMA回路150において、スタンバイ回路130の比較回路133から一致信号jが出力されると、DMA制御回路151は高速クロックSCLを用いて読み出しクロックRSKを専用バス14bに出力する。これによりVRAM12内の書換えアドレスの表示データ(新データ)が図3に示すように読み出しデータSDとしてデータ変換回路152に取り込まれる。取り込まれた読み出しデータSDはデータバス17のビット数又はフォーマットに変換され、表示データDATAとクロックSCKの周波数に等しいシフトクロックXSCCKがデータバス17を介してXドライバ250-1～250-Nへ転送される。また、DMA制御回路151はラインフラグレジスタ132に当該フラグアドレス信号及びフラグリセット信号を送る。これによりデータ変換回路152に取り込まれて転送された表示データのフラグアドレス内の転送指示フラグが倒される。そして次の行アドレス信号RAが発生すると、次の高速クロックSCKによって上記の動作が繰り返され、1水平期間で2走査ライン分の表示データDATAの転送が完了する。1走査ライン分の表示データDATAが転送される

(7)

11

と、キャリー信号の反転信号CA(バー)が低レベルとなるため、転送動作が一時中止される。しかし、Xドライバ250-1～250-Nにはフレームメモリ252-1～252-Nが転送データを格納しているため、ソフトクロックX S C Lの動作・停止を1走査ライン毎に制御しても、表示に影響を及ぼすことはない。

【0023】このように、Xドライバ250-1～250-Nにフレームメモリ252-1～252-Nを内蔵させて高周波発振回路140を間欠動作させるモジュール・コントローラ110を構築したことにより、V R A M 1 2 の表示データの変更があったときのみ走査ライン毎の表示データをフレームメモリ252-1～252-Nへ転送させることができる。このため、高周波発振回路140の常時動作が無くなるので、表示データの変更がなければ大幅な消費電力の削減が可能となる。また、このような間欠制御は既に公知であるフレーム間引き方式の階調表示を行う場合や、画面に対する動画表示面積の少ない表示を行う場合にも対応でき、従来表示システムとの互換性も良好である。なお、上記モジュール・コントローラ100の高周波発振回路140は、可変周波数C R発振器142を用いて構成されているが、これに限らず、ラッチパルスL Pに同期して高周波クロックを発生する位相同期回路(P L L)を用いることができる。かかる場合、高周波クロックは位相同期回路の電圧制御発振器の出力から取り出すようとする。更に、高周波発振回路140はモジュール・コントローラ100に内蔵せずに、外部の高周波クロック源から供給されるようにも構成できる。或いはモジュール・コントローラ100は、ホストM P U 1 0 又はV R A M 1 2 と同一の半導体集積回路上に構成すれば、接続配線を減らすことができる。

【0024】〔複数ライン同時選択駆動方法の説明〕次に、Xドライバ(信号電極駆動回路)250の構成及び動作についての説明に移るが、本例の単純マトリクス型液晶表示装置は、従来の電圧平均化法による液晶素子駆動方法でなく、複数走査電極を同時に選択するいわゆる複数ライン同時選択(Multiple Lines Selection)駆動方法の改良技術に基づくものであるため、Xドライバ等の構成の理解を容易にするべく本発明が基にしている複数ライン同時選択の原理を先ず説明しておく。

【0025】電圧平均化法によるマルチプレクス駆動方法は、図4に示すような単純マトリクス型の液晶素子等を駆動する場合、一般に走査電極Y<sub>1</sub>, Y<sub>2</sub>…Y<sub>n</sub>を1ラインずつ順次選択して走査電圧を印加すると共に、その選択される走査電極上の各画素がポンかオフかによって、それに応じた信号電極波形を各信号電極X<sub>1</sub>, X<sub>2</sub>…X<sub>m</sub>に印加することで液晶素子等を駆動するものである。図5はそのときの印加電圧波形の一例を示すもので、同図(a), (b)はそれぞれ走査電極Y<sub>1</sub>, Y<sub>2</sub>に

(7)

12

印加する電圧波形、同図(c)は信号電極X<sub>1</sub>に印加する電圧波形、同図(d)は走査電極Y<sub>1</sub>と信号電極X<sub>1</sub>との交差する画素に印加される合成電圧波形を示す。

【0026】ところで、上記のように走査電極を1ラインずつ順次選択して駆動する方法では、駆動電圧が比較的高い。また図6に示すようにオフ状態においてもやや高い電圧がかかると共に、オン状態では電圧の減衰が大きいため、コントラストが悪い。更に、フレーム階調を行うとフリッカーが大きい等の不具合がある。

【0027】そこで、コントラストを改善し、フリッカーを抑制するために、順次複数本の走査電極をまとめ同時に選択して駆動するいわゆる複数ライン同時選択(Multiple Lines Selection)駆動方法が提案されている(例えば、A GENERALIZD ADDERESSING TECHNIQUE FORRS RESPONDING MATRIX LCDS. 1988 INTERNATIONAL DISPLAY RESEARCH CONFERENCE P80～85参照)。

【0028】図7は上記の複数ライン同時選択駆動方法によって液晶素子を駆動する場合の印加電圧波形の一例を示すものである。本例は走査電極を順次3本ずつ同時に選択して駆動するもので、例えば図4に示すような画素表示を行う場合には、最初に3本の走査電極Y<sub>1</sub>, Y<sub>2</sub>, Y<sub>3</sub>を同時選択して、それらの走査電極Y<sub>1</sub>, Y<sub>2</sub>, Y<sub>3</sub>に、それぞれ例えば図7の(a)に示すような走査電圧を印加する。

【0029】次いで図4において走査電極Y<sub>4</sub>, Y<sub>5</sub>, Y<sub>6</sub>を選択して、それらの走査電極Y<sub>4</sub>, Y<sub>5</sub>, Y<sub>6</sub>に例えば図7の(b)のような走査電圧パターンを印加するもので、このような同時選択を全ての走査電極Y<sub>1</sub>, Y<sub>2</sub>…Y<sub>n</sub>について順次行う。更に次のフレームでは電位を逆転し、液晶の交流化駆動を行なう。

【0030】従来の電圧平均化法では1フレーム期間に1回1走査電極を選択していたが、複数ライン同時選択では、走査選択方法の正規直交性を保ちながら選択期間を時間的に1フレーム内に均等分散し、これと同時に、走査電極を特定本数の組(ブロック)にして選択し、空間的に分散したものである。ここで、「正規」とは、すべての走査電圧がフレーム周期単位で同一の実効電圧値(振幅値)を持つことを意味する。また「直交」とは、ある走査電極に与えられる電圧振幅が他の任意の走査電極に与えられる電圧振幅を1選択期間毎に積和したときフレーム周期単位では0になることを意味する。この正規直交性は、単純マトリクス型LCDにおいては各画素を独立してオン・オフ制御するための大前提である。例えば、図7の例では、選択時のV<sub>1</sub>レベルを「1」、-V<sub>1</sub>レベルを「-1」としたときの1フレーム分の行列式F<sub>3</sub>を、非選択期間は0であるので省略して表記する。

【0031】

【数1】

(8)

$$F_3 = \begin{bmatrix} 1 & 1 & -1 & 1 \\ 1 & -1 & 1 & 1 \\ -1 & 1 & 1 & 1 \end{bmatrix} = (f_{ij}) \quad \cdots (1)$$

【0032】である。例えば第1行目 ( $Y_1$ ) と第2行目 ( $Y_2$ ) の直交性は、

$$\sum_{j=1}^4 f_{1j} \times f_{2j} = 1 + (-1) + (-1) + 1 = 0 \quad \cdots (2)$$

【0034】と検証される。直交性については、数学的な内容になるので詳細な説明は割愛するが、液晶を駆動する場合、低周波成分はフリッカーの原因になるので、 $h$ 本同時選択するとき直交性の保たれる必要最小限の行列を選択する必要がある。一般に $h$ 本同時選択する場合、上記行列式 (1) の列数に相当する1フレーム内の必要最少分散選択数は、 $n$ を自然数とするとき、 $2^{n-1} < h \leq 2^n$  を満足する $2^n$ の値となる。例えば、図8に示す3本同時選択の場合の必要最少限の分散選択数は4となる。また $h = 2^n$  のときは、1選択期間 $\Delta t$ は、電圧平均化法での1選択時間(1H)に等しい。

【0035】一方、信号側電圧波形は、レベル数( $h+1$ )の離散的な電圧レベルの中から1つのレベルを表示データに応じて決められる。電圧平均化法では、図5に※

$$C = \sum_{i=1}^h (f_{ii} \oplus S_{ii}) \quad \cdots (3)$$

【0037】但し、(1)式で $f_{11}$ が「1」であるところは、式(3)では「0」として扱う。

【0038】ここで、C値は0から $h$ までの値をとる。電圧平均化法の場合は、 $h = 1$ であるので、C値は0か1である。図7の例では、列パターン(1, 1, 1) ★<sup>30</sup>

※示すように、1行選択波形に対して信号電極(行)波形は、1対1に対応しているため、オンかオフかに対応する2つの電圧レベルのうちから1つのレベルを出力するものであった。図7に示すような $h$ 本同時選択の場合は、 $h$ 本組になった行選択波形に対して等価的なオン・オフ電圧レベルを出力する必要がある。この等価的なオン・オフ電圧レベルは、オン表示データを「1」、オフ表示データを「0」としたとき、信号電極側データパターン( $S_{1j}, S_{2j}, \dots, S_{hj}$ )と上記行列式の列パターン(走査電極選択パターン)との不一致数Cで決められる。

【0036】

【数3】

★の場合を考えると、信号電極側データパターン及びXドライバ出力電位は、表1のようになる。

【0039】

【表1】

不一致数	信号電極データパターン	データパターン数	Xドライバ出力電位
C = 0	(1, 1, 1)	1	-V <sub>3</sub>
C = 1	(0, 1, 1) (1, 0, 1) (1, 1, 0)	3	-V <sub>2</sub>
C = 2	(1, 0, 0) (0, 1, 0) (0, 0, 1)	3	V <sub>2</sub>
C = 3	(0, 0, 0)	1	V <sub>3</sub>

【0040】表1に示す各不一致数に対するデータパターン数は、どの列に対しても同じである。従って、列パターンが決まっていれば、Xドライバの出力電位は、不一致数又は信号電極データパターンから直接Xドライバ出力電位をデコードして決めることができる。具体的には、図7(c)に示す信号電極電圧波形となる。図4における信号電極X<sub>1</sub>と走査電極Y<sub>1</sub>, Y<sub>2</sub>, Y<sub>3</sub>との交差画素の表示は、順に1(オン), 1, 0(オフ)で、これに対する最初の $\Delta t$ 内の走査電極の電位値は、順に1( $V_1$ ), 1, 0(- $V_1$ )である。従って、不一致数は0であるから、信号電極X<sub>1</sub>の最初の $\Delta t$ 内の出力電

位は表1から $-V_3$ である。以下同様にして信号電極の出力電位波形が各画素に印加される。なお、図7の(d)は、走査電極Y<sub>1</sub>と信号電極X<sub>1</sub>とが交差する画素に印加される電圧波形、即ち、走査電極Y<sub>1</sub>に印加される電圧波形と信号電極X<sub>1</sub>に印加される電圧波形との合成波形である。

【0041】上記のように、順次複数本の走査電極を同時に選択して駆動する手法は、図5に示す従来の1ラインずつ選択して駆動する方法と同じオン/オフ比を実現した上で、Xドライバ側の駆動電圧を低く抑えることができる利点がある。例えば、液晶のしきい値V<sub>TH</sub>を2:

(9)

15

1 V, デューティー比 1/240 では、X ドライバの最大駆動電圧振幅は 8 V 程度である。これは X ドライバを高耐圧集積回路として構成する必要がなく、従来法より微細な半導体製造プロセスをそのまま適用できる途を開き、X ドライバ内蔵 RAM のビット数を経済的に増やすことができるに繋がる。

【0042】本出願人は、上記の複数ライン同時選択駆動方法についても特願平4-143482号を以て既に開示してある。この均等分散型複数ライン同時選択駆動方法では、マトリクス型表示装置において、順次複数本の走査電極を同時に選択し、かつその選択期間を 1 フレームの中で複数回に分けて電圧を印加する駆動回路を設けたことに特徴を有する。即ち、1 フレーム中に 1 回

(まとめて  $h \Delta t$  の期間) 選択するのではなく、その選択期間を 1 フレーム中で複数回に分けて電圧を印加するように駆動することによって、1 フレーム中で或る画素には複数回電圧が印加されることになるので、明るさが維持されコントラストの低下を抑制することができる、特に、累積応答効果の少ない高速応答性の液晶パネルの使用に有意義となる。

【0043】この事については、図 8 に示すように非選択期間（ある走査電極が選択されてから次に選択されるまでの期間）が短くなり、従来例における図 6 との比較からも明らかのように、オン状態はより明るく、かつオフ状態はより暗くなつてコントラストを高めることができる。またフリッカーも減少させることができる。このように、改良された複数ライン同時選択駆動方法は、走査電極の複数のパルスパターンを一括して出力するのではなく、分散して出力するものである。なお、本例においては各選択期間の選択パルスを出す順番は任意であり、1 フレームの中で適宜入れ替えることができる。また本例では 4 つの列パターンを 1 つずつ 4 回に分けたが、複数ずつ、例えば 2 つずつ 2 回に分けて出力することもできる。

【0044】ここで、複数ライン同時選択駆動方法の説明に深入りせずに、ドライバの説明に話を戻すことにする。ただ、上述したように本例の液晶表示装置は均等分散型複数ライン同時選択駆動方法を採用しており、またドライバがフレームメモリ内蔵型でありながらモジュール・コントローラ 100 によって制御されるようになつているので、以下の説明では、ドライバが両者の要請に叶う構成でなければならないことを理解されたい。

【0045】【走査電極駆動回路（Y ドライバ）の説明】ここで、以下に説明するドライバの複数ライン同時選択駆動方法において、同時選択にあづかる走査電極の数は、回路部の機能を容易に理解するために、最小の本数即ち 2 本 ( $h = 2$ ) とする。従って、図 9 に示すように、 $2^1 = 2$  の数だけ走査電極波形の列パターンがある。また 2 つの異なる電圧パルスパターンを連続した 2 本の走査電極に印加するようにしてあり、1 フレームは

16

2 フィールド（2 垂直走査）により構成される。走査電極の総数を 120 本とすると、同時選択される 2 本の走査電極のブロックの数は 60 である。そして、あるブロックに対しては、最初に 2 種類のパルスパターンが印加されてから次の異なる 2 種類のパルスパターンが印加されるまでには、 $(60 - 1) \Delta t = 5.9 \Delta t$  の非選択期間がある。1 フレームは  $120 \Delta t$  で完了する。但し、 $\Delta t$  は 1 選択期間（1 水平期間）である。

【0046】Y ドライバ 220 は、図 10 に示すように、フレーム開始パルス YD やラッチパルス等を基にフィールド毎の列パターンを作成するコード発生部 221 を有する半導体集積回路である。本例の走査電極  $Y_1 \sim Y_n$  の印加電圧は、選択期間においては  $V_1$  又は  $-V_1$  であり、非選択期間においては 0 V で、合計 3 レベルであるので、電圧セレクタ 222 に対する選択制御情報は各走査電極  $Y_1 \sim Y_n$  每 2 ビットが必要である。このため、複数ライン同時選択のためのコード発生部 221 は、フィールド計数カウンタ（図示せず）と第 1 及び第 2 シフトレジスタ 223, 224 をフレーム開始パルス YD で初期化した後、第 1 フィールドの選択列パターンに対応する 2 ビットの電圧選択コード  $D_0, D_1$  を直並列変換用の第 1 シフトレジスタ 223 及び第 2 シフトレジスタ 224 に転送する。第 1 シフトレジスタ 223 及び第 2 シフトレジスタ 224 はそれぞれ走査電極の本数に対応した 120 ビットシフトレジスタであり、第 1 シフトレジスタ 223 は下位ビットの電圧選択コード  $D_0$  を、第 2 シフトレジスタ 224 は上位ビットの電圧選択コード  $D_1$  をそれぞれ同一のシフトクロック CK により格納する。シフトクロック CK はラッチパルス LP を 1/2 分周したもので、コード発生部 221 のタイミング生成回路（図示せず）により発生する。コード発生部 221 はラッチパルスの 2 クロック目から第 1 フィールド終了までの期間は、非選択パターンに対応するコードを発生する。シフトレジスタはシフトクロック CK に対して単一の 240 ビットのシフトレジスタがあるのではなく、シフトクロック CK に対して並列の 120 ビットのシフトレジスタ 223, 224 が設けられているので、ラッチパルス LP により低い周波数で動作させることができ、極めて低消費電力動作が可能となっている。

【0047】第 1 シフトレジスタ 223 及び第 2 シフトレジスタ 224 の各ビットの電圧選択コード  $D_0, D_1$  は、シフトクロック CK の発生を契機に隣接ビットにシフトされ、選択時間  $\Delta t$  だけ出力維持される。このシフトレジスタの出力はレベルシフタ 226 へ供給され、その低論理振幅レベルから高論理振幅レベルへ変換される。レベルシフタ 226 から出力される高論理振幅レベルの電圧選択コード  $D_0, D_1$  は同時にレベル変換された液晶交流化信号 F.R. と共に波形形成部としてのデコーダ 227 に供給され、選択制御信号が生成される。この選択制御信号で電圧セレクタ 222 が開閉制御されること

(10)

17

により各走査電極 $Y_1 \sim Y_n$ へ印加電圧 $V_1, 0, -V_1$ のいずれかが供給される。

【0048】本例では、図10(b)に示すように、複数のYドライバ $1 \sim n$ をカスケード接続できるようにコード発生部221の機能を初段Yドライバ1と次段以降のYドライバ $2 \sim n$ とでセレクト端子MSを使って変えることを前提としている。即ち、初段Yドライバ1では、前述のフレーム開始パルスYDによる初期化後、前述の2つのシフトレジスタ223, 224に向けて電圧選択コードを発生するタイミングに移るが、次段以降は、セレクト端子MSが低レベル入力になっているため、電圧選択コードを発生するタイミングには自動的に移らない。次段以降のYドライバ $2 \sim n$ は、初段のキャリー信号(FS)をFSI入力端子から入力して初めて電圧選択コードを前述の2つのレジスタ223, 224に向けて発生する。そして最終段のYドライバnからのキャリー信号(FS)が出力されたときが、第1フィールドが終了するときである。このときはコントローラからは第2フィールドの開始信号は来ないので、最終段のYドライバnのキャリー信号(FS)を初段のYドライバ1のFSI端子及びXドライバのFS端子に帰還し、第2フィールドの電圧選択コードを前述の2つのシフトレジスタ223, 224に対して発生する。この後、前述した第1フィールドと同様に動作し、第2フィールドを終了し、次のフィールド(第1フィールド)の動作に移る。以上の機能は、コントローラに対する同時選択ライン数やYドライバの端子数の制約を緩和し、従来の電圧平均化法の場合と同じ周波数のフレーム開始パルスYD、ラッチパルスLPを使うことができる。

【0049】【信号電極駆動回路(Xドライバ)の説明】複数のXドライバ $250-1 \sim 250-N$ は共に同一構成の半導体集積回路で、これらは図1に示すように相互にチップイネーブル出力CEOとチップイネーブル入力CEIを介してカスケード接続されている。いずれのXドライバ $250$ も、従来のRAM内蔵型ドライバと異なり、MPU10に直結するシステムバス14を共有せず、データバス17を介してモジュール・コントローラ100に繋がっているだけである。各Xドライバ $250$ は、図1に示すように、アクティブ・ローの自動パワーセーブ回路としてのチップイネーブル・コントロール回路251と、主にモジュール・コントローラ100から供給される信号を基に所要のタイミング信号等を形成するタイミング回路253と、イネーブル信号Eの発生を契機にモジュール・コントローラ100から転送される表示データDATAを取り込むデータ入力制御回路254と、表示データDATA(1ビット、4ビット又は8ビット)をシフトロックXSLの立ち下がる度に順次取り込み1走査ライン分の表示データDATAを格納する入力レジスタ255と、入力レジスタ255からの1走査ライン分の表示データDATAをラッチパル

18

SLPの立ち下がりにより一括ラッチして1シフトクロックXSL以上の書き込み時間をかけてフレームメモリ(SRAM)252のメモリマトリクスに書き込む書き込みレジスタ256と、走査スタート信号YDにより初期化され書き込み制御信号WR又は読み出し制御信号RDの印加の度にフレームメモリ252の行(ワード線)を順次選択する行アドレスレジスタ257と、フレームメモリ252よりの表示データと走査電極の列パターンとの組から対応する信号電極の駆動電圧情報を割り出す信号10 パルス割り出し回路258と、信号パルス割り出し回路258からの低論理振幅レベルの信号を高論理振幅レベルの信号に変換するレベルシフタ259と、レベルシフタ259から出力される高論理振幅レベルの電圧選択コード信号により電圧 $V_2, M$ (例えば0),  $-V_2$ のいずれかを選択して各信号電極 $X_1 \sim X_n$ に印加する電圧セレクタ260とを有している。

【0050】ドライバチップ単位のパワーセーブを行なうチップイネーブルコントロール回路251とそれに関する回路部分は従来技術を使用できる。チップイネーブルコントロール回路251は、チップイネーブルになっているチップだけがシフトロックXSLと表示データDATAをドライバ内に取り込むように内部イネーブル信号を発生し、タイミング回路253とデータ入力制御回路254の動作/停止を制御する。この制御は、ラッチパルスLPの周期毎に繰り返される。即ち、ラッチパルスLPの入力によりチップイネーブルコントロール回路251の内部は、カスケードされたどのドライバチップもパワーセーブ状態からスタンバイ状態になると共に、イネーブル出力CEOは高レベルになる。ここで、どのドライバチップがイネーブルになるかパワーセーブ状態を保つかは、イネーブル入力端子CEIの状態によって決定される。即ち、図1の例では、初段のXドライバ $250-1$ のチップイネーブル入力CEIは、接地(アクティブ)されているので、即座に内部イネーブル信号Eはアクティブ状態になり、シフトロックXSL、表示データDATAを内部に取り込む。チップイネーブルコントロール回路251は、入力レジスタ255のビット数分の表示データを取り込に必要なシフトロック数分のシフトロックを入力した時点でイネーブル出力CEOを高レベルから低レベルにする。これによってカスケード接続された次段Xドライバ $250-2$ のイネーブル入力CEIは低レベルとなり、即座に次段ドライバの内部イネーブルEはアクティブとなる。これ以後の動作は前述の初段ドライバの動作と同じである。以下同様に3段目以降のXドライバ $250-3 \sim 250-N$ のチップイネーブル入力CEIは順次低レベルとなり、所定の入力レジスタ255に対する表示データが取り込まれる。従って、N個のXドライバをカスケード接続しても、表示データの取り込み動作をするXドライバ50 は、常時1個に限られるので、表示データの取り込み動

(11)

19

作に係わる消費電力を低く抑えることができる。

【0051】タイミング回路253の構成の詳細は、一部省略して示す図12のように、上記シフトクロックX SCLをイネーブル信号Eの応答により内部へ取り込むための論理積ゲート253aと、イネーブル信号Eの応答によりNANDゲート253bを介して内部へ取り込んだラッチパルスLP及び書き込み制御信号WRの遅延した反転パルスに基づき1ラッチパルスの周期内にプリチャージ用の2発の準備パルスを生成する論理積ゲート253cと、この論理積ゲート253cの出力パルスの立ち上がりにトリガして所定パルス幅のプリチャージ制御信号PCを発生する第1のワンショット・マルチバイブレータ(プリチャージ制御信号発生回路)253-1と、これにカスケード接続され、プリチャージ制御信号PCの遅延した反転パルス及びラッチパルスLPの反転パルスの立ち上がりにトリガして所定パルス幅の書き込み制御信号WRを生成する第2のワンショット・マルチバイブルエタ(書き込み制御信号発生回路)253-2と、これにカスケード接続され、プリチャージ制御信号PCの遅延した反転パルス及び書き込み制御信号WRの遅延した反転パルスの立ち上がりにトリガして所定パルス幅の読み出し制御信号RDを生成する第3のワンショット・マルチバイブルエタ(読み出し制御信号発生回路)253-3と、シフトクロックX SCLのインバータ253dを介した逆相クロックでリセットされシフトクロックX SCLの入来を検出するシフトクロック検出回路253-4と、シフトクロック検出回路253-4からのシフトクロック検出信号WEにより第2のワンショット・マルチバイブルエタ253-2からの書き込み制御信号WRを通過・遮断する書き込み禁止用論理積ゲート253-5とを有している。

【0052】第1のワンショット・マルチバイブルエタ253-1は、論理積ゲート253cの出力の立ち下がりによりノードN<sub>1</sub>を高レベルにセットするNANDゲート253e, 253fから成るフリップ・フロップと、ノードN<sub>1</sub>が高レベルのとき高レベルのプリチャージ制御信号PCを作成するNANDゲート253g及びインバータ253hと、フレームメモリ252内の回路での等価的な信号遅延時間を見越して作り込まれたプリチャージ制御信号PCを遅延する遅延回路253iと、そのプリチャージ制御信号PCを反転してNANDゲート253fのリセット入力に加えるインバータ253jとを有している。第1のワンショット・マルチバイブルエタ253-1においては、NANDゲート253eのセット入力端子の入力が立ち下がるとノードN<sub>1</sub>は高レベルにセットされ、次いでANDゲート253cの出力が高レベルになったときプリチャージ制御信号PCが立ち上がり、かかる後遅延回路253iで決まる遅延時間が経過すると、NANDゲート253-fのリセット入力が立ち下がり、ノードN<sub>1</sub>は低レベルとなるので、プリチ

20

ヤージ制御信号PCが立ち下がる。論理積ゲート253cの出力の立ち上がりは、ラッチパルスLPの立ち上がり時と後述する書き込み制御信号WRの遅延信号の立ち上がり時に発生するので、1ラッチパルスの周期内でプリチャージ制御信号PCのパルスは2回発生する。

【0053】第2及び第3のワンショット・マルチバイブルエタ253-2, 253-3も第1のワンショット・マルチバイブルエタ253-1とほぼ同様な回路構成を有しているので、同一構成の部分には図12では同一参照符号で示してある。第2のワンショット・マルチバイブルエタ253-2は、プリチャージ制御信号PCの遅延反転信号、ラッチパルスLPの反転信号及びNANDゲート253eのノードN<sub>2</sub>を3入力とするNANDゲート253g' とフレームメモリ252内の回路での等価的な信号遅延時間を見越して作り込まれた書き込み制御信号WRを遅延する遅延回路253kを有している。NANDゲート253eのノードN<sub>2</sub>はラッチパルスLPの反転信号の立ち下がりで高レベルにセットされるが、プリチャージ制御信号PCの最初の立ち下がり(プリチャージ制御信号PCの遅延反転信号の最初の立ち上がり)によりNANDゲート253g' の出力が立ち下がるので、書き込み制御信号WRが立ち上がり、かかる後遅延回路253kで決まる遅延時間が経過すると、NANDゲート253fのリセット入力が立ち下がり、ノードN<sub>2</sub>は低レベルとなるので、書き込み制御信号WRが立ち下がる。この後、2発目のプリチャージ信号PCの遅延反転信号が立ち上がるが、ノードN<sub>2</sub>は未だラッチパルスLPの立ち下がりによって高レベルにはセットされていないので、NANDゲート253g' の出力は高レベルのままであり、1ラッチパルスの周期内においては、書き込み制御信号WRのパルスは最初のプリチャージ制御信号の立ち下がりにより1パルス出力されるのみである。第3のワンショット・マルチバイブルエタ253-3は、プリチャージ制御信号PCの遅延反転信号、書き込み制御信号WRの遅延反転信号、NANDゲート253eのノードN<sub>3</sub>を3入力とするNANDゲート253g' と、フレームメモリ252内の回路での等価的な信号遅延時間を見越して作り込まれた読み出し制御信号RDを遅延する遅延回路253mを有している。NANDゲート253eのノードN<sub>3</sub>は、プリチャージ制御信号PCの最初の立ち下がり(プリチャージ制御信号PCの遅延反転信号の最初の立ち上がり)の後に発生する書き込み制御信号WRの遅延反転信号の立ち下がり(書き込み制御信号WRの立ち上がり)で高レベルにセットされているので、2発目のプリチャージ制御信号PCの最初の立ち下がり(プリチャージ信号PCの遅延反転信号の最初の立ち上がり)によりNANDゲート253g' の出力が立ち下がり、読み出し制御信号RDが立ち上がるところなる。かかる後遅延回路253mで決まる遅延時間が経過すると、NANDゲート253fのリセット入力が立ち

(12)

21

下がり、ノードN<sub>3</sub>は低レベルとなるので、読み出し制御信号RDが立ち下がる。1ラッチパルスの周期内においては、読み出し制御信号RDは2発目のプリチャージ制御信号PCの立ち下がりにより所定パルス幅の1パルス出力されるのみである。

【0054】シフトクロック検出回路253-4は、シフトクロックX S C Lの逆相クロックをリセット入力D(バー)とすると共に、ラッチパルスLPの反転クロックの立ち上がりで接地電位(低レベル)をデータ反転入力D(バー)として記憶するD型フリップ・フロップ253sと、ラッチパルスLPの反転クロックの立ち上がりでD型フリップ・フロップ253sの反転出力Q(バー)をデータ反転入力D(バー)として記憶するD型フリップ・フロップ253tを有している。シフトクロックX S C Lの入来があると、まず最初のシフトクロックX S C LのパルスでD型フリップ・フロップ253sがリセットされ、そのQ(バー)出力が高レベルとなっているが、ラッチパルスLPの立ち下がりによってD型フリップ・フロップ253sには接地電位がデータ反転入力D(バー)として記憶されるのでそのQ(バー)出力が低レベルへ遷移すると共に、D型フリップ・フロップ253tは高レベルのデータ反転入力D(バー)を記憶するので、そのQ(バー)出力たるシフトクロック検出信号WEが高レベルとなる。2発目のシフトクロックX S C Lの入来すると、D型フリップ・フロップ253sはリセットされ、そのQ(バー)出力が高レベルに戻る。このようにシフトクロックX S C Lの入来が続く限り、D型フリップ・フロップ253tからのシフトクロック検出信号WEは高レベルであるので、論理積ゲート253-5は導通状態のままであり、第2のワンショット・マルチバイブレータ253-2からの書き込み制御信号WRはフレームメモリ等へ出力され続ける。他方、シフトクロックX S C Lの入来が止み、最後のシフトクロックX S C LのパルスでD型フリップ・フロップ253sのQ(バー)出力が低レベルに設定された状態のままでラッチパルスLPが入来すると、D型フリップ・フロップ253tからのシフトクロック検出信号WEが低レベルになるので、論理ゲート253-5が閉じ、書き込み制御信号WRの通過が禁止される。

【0055】次に、図13を参考しつつXドライバ250における周辺回路とフレームメモリ252から信号バルス割り出し回路258、レベルシフタ259及び電圧セレクタ260までの1信号電極当たり(1出力X<sub>m</sub>)のmビット回路部250mに着目した回路構成を説明する。フレームメモリ252のメモリマトリクスにおける奇数ワード線W<sub>2i-1</sub>、偶数ワード線W<sub>i</sub>とビット線B<sub>Lm</sub>、B<sub>Lm</sub>(バー)との交点にはメモリセルC<sub>2i-1,m</sub>、C<sub>2i,m</sub>があり、画素P<sub>2i-1,m</sub>、P<sub>2i,m</sub>に対応した表示データ(オン・オフ情報)が格納されている。ラッチパルスLPが発生すると、タイミング回路253からブ

22

リチャージ信号PC、書き込み制御信号WR又は読み出し制御信号RDが生成されるので、フレームメモリ252への印加により奇数ワード線W<sub>2i-1</sub>が行アドレスレジスタ257の順次的な指定によりフレームメモリ252内の行アドレスデコーダによって選択され、メモリセルC<sub>2i-1,m</sub>についての書き込み又は読み出しが行われる。また次のラッチパルスLPが発生すると、偶数ワード線W<sub>i</sub>が選択され、メモリセルC<sub>2i,m</sub>についての書き込み又は読み出しが行われる。なお、読み出し動作においては読み出し制御信号RDによりセンス回路252mが能動化され、メモリセルから表示データが出力される。

【0056】本例のXドライバ250においては、前述したような2ライン同時選択駆動方式を採用している都合上、1水平期間毎2ラインに亘る表示データと走査電極の列パターンとから信号電極電位を決定する必要がある。周辺回路には偶奇ライン識別回路(同時選択ラインのライン順番識別回路)250aが設けられており、この偶奇ライン識別回路250aは、フレーム開始パルスYDのインバータ250bを介した逆相パルスによってリセットされ読み出し制御信号RDの入来毎に記憶内容の反転するD型フリップ・フロップ250aaと、そのQ(バー)出力とラッチパルスLPとを2入力とする奇数ライン検出用NANDゲート250abと、D型フリップ・フロップ250aaのQ出力とラッチパルスLPとを2入力とする偶数ライン検出用NANDゲート250acどちら構成されている。奇数番目のラッチパルスLPが立ち上ると、NANDゲート250abの出力LP1が立ち下がり、この奇数番目のラッチパルスLPの立ち下がりにより出力LP1が立ち上がる。また偶数番目のラッチパルスLPが立ち上ると、NANDゲート250acの出力LP2が立ち下がり、この偶数番目のラッチパルスLPの立ち上がりにより出力LP2が立ち上がる。従って、出力LP1、LP2は交互に出力されることになる。偶奇ライン識別回路250aは、モジュール・コントローラ100等で作成されたラッチパルスLPから偶奇ライン毎のラッチパルスLP1、LP2を作成する。

【0057】本例においては、前述したように均等分散型2ライン同時選択駆動方式であるので、2<sup>1</sup>=2の数だけ走査電極の電圧パルスパターンがあるが、2つの異なる列パターンを連続した2本の走査電極に印加するようにしてあるので、そのパターン数を展開するには2フィールドが必要である。他方、フレーム毎に交流化信号FRが反転するため、これも考慮すると、4フィールドですべての列パターンが展開されることになる。このため、周辺回路には走査電極の電位パターンを指定するフィールド・ステート回路250cが設けられている。なお、この電位パターンの指定情報はXドライバ内で発生させずに、走査電極ドライバ側のコード発生部221又はモジュール・コントローラ100から受けるようにする

(13)

23

ことでもできる。このフィールド・ステート回路 250c は、フレーム開始パルス YD の逆相パルスによってリセットされフィールド開始パルス FS の入来毎に記憶内容の反転する D 型フリップ・フロップ 250ca と、その Q 出力と交流化信号 FR を 2 入力とする論理積ゲート 250cb と、D 型フリップ・フロップ 250ca の Q (バー) 出力と交流化信号 FR のインバータ 250cc を介した信号を 2 入力とする論理積ゲート 250cd と、論理積ゲート 250cb, 250cd の両出力を 2 入力とする論理和ゲート 250ce とから構成されている。インバータ 250cc の奇数ラインの読み出し時に発生するラッチパルス LP1 によってメモリセル C<sub>2i-1, m</sub> の表示データ (オン・オフ情報) が信号パルス割り出し回路 258 の 1 ビットのラッチ回路 258-1m に取り込まれ、不一致数判定回路 258-2m の下位ビット用排他的論理和ゲート EX<sub>1</sub> に供給される。またこれに引き続き発生する偶数ラインのラッチパルス LP2 によってメモリセル C<sub>2i, m</sub> の表示データ (オン・オフ情報) は直接不一致数判定回路 258-2m の上位ビット用排他的論理和ゲート EX<sub>2</sub> に供給される。ラッチパルス LP1, 2 は交互に出力されるのでラッチ回路 258-1 と 258-3 のラッチ期間は互いにオーバーラップ期間を持っており、両メモリセルの表示データ (オン-オン, オン-オフ, オフ-オン, オフ-オフ) は同時的に不一致数判定回路 258-2m へ供給される。また前述の 2 本の走査電極の列パターンに相当する情報も不一致数判定回路 258-2m に供給されているので、不一致数判定回路 258-2m は表示データの 2 ビット情報と走査電極の 2 ビット情報の桁不一致を検出する。2 本同時選択の場合は、2 ビット出力であるので不一致数判定回路 258-2m の出力はそのままコード化された不一致数として扱うことができる。本例における採りうる不一致数は 0, 1 又は 2 である。不一致数判定回路 258-2m で得られた 2 ビット情報はラッチ回路 258-3m に取り込まれ、その不一致数信号はレベルシフト 259m で高論理振幅レベルの信号に変換される。そして、電圧セレクタ 260m のデコーダ 260a はその不一致数信号をデコードし、選択スイッチ 260b のトランジスタのいずれかを開閉させることにより、信号電極の電位 -V<sub>2</sub>, 0, V<sub>2</sub> のいずれかが選択されることになる。なお、本例では不一致数 0 のときは -V<sub>2</sub>、不一致数 1 のときは 0、不一致数 2 のときは V<sub>2</sub> が選択される。このような X ドライバの構成によって均等分散型 2 ライン同時選択駆動が可能となる。また、不一致数を判定しなくとも、前述のフレームメモリ出力とフィールド・ステート回路 259c の出力から直接デコードするような回路構成を採用しても良い。

【0058】以上の説明で本例における X ドライバの各部の構成及び動作が理解されたことであろうが、図 1-4 のタイミングチャートを参照しつつフレームメモリの書

24

込み及び読み出し動作を説明する。モジュール・コントローラ 100 のタイミング信号発生回路 120 によって図 1-4 に示すようなフレーム開始パルス YD, ラッチパルス LP が発生する。フレーム開始パルス YD は 1 フレーム期間 (1F) 每発生し、またラッチパルス LP は 1 水平期間 (1H) 内に 2 回発生する。ここでは、1 フレーム期間内に N 個のラッチパルスが発生する。ラッチパルス LP の 1 周期内ではモジュール・コントローラ 100 から 1 走査ライン分の表示データ DATA (WD<sub>i</sub>) がシフトクロック X SCL によって X ドライバ 250 へ転送されて来る。図 1-4 では VRAM 12 内の表示データ DATA のうち第 3 走査ライン目の表示データ WD3 を除き他のすべての走査ライン目の表示データが変更された場合の書き込み・読み出し動作を示しているので、第 3 走査ライン目の表示データ WD3 の転送は新たに行われず、第 3 走査ライン目の表示データの表示動作はフレームメモリ 252 内の旧データを読み出すことにより達成される。X ドライバ 250 のタイミング回路 253 によって図 1-4 に示すような読み出し制御信号 RD, シフトクロック検出信号 WE 及び書き込み制御信号 WR も発生する。モジュール・コントローラ 100 側で新データ WD2 の転送を X ドライバ 250 に対して完了すると、前述したようにシフトクロック X SCL の転送も中止される。その後新データ WD4 以降の転送とシフトクロック X SCL の発振が行われる。シフトクロック X SCL の転送が一時中止されると、前述したように、モジュール・コントローラ 100 はスタンバイ期間 S に入るので、タイミング回路 253 のシフトクロック検出回路 253-4 がそれを検出してシフトクロック検出信号 WE が発生する。これによって書き込み制御信号 (W3) のみ発生しない。まず、最初のラッチパルス (LN) が発生すると、1 ライン目の表示データ (WD1) が次のラッチパルス (L1) の発生までの間 (1 周期内) に X ドライバ 250 へ入来し、ラッチパルス (L1) の発生により書き込みレジスタ 256 に取り込まれてフレームメモリ 252 の該当行アドレスに書き込まれるが、最初のラッチパルス (LN) が発生から次のラッチパルス (L1) の発生までの間には、フレームメモリ 252 から 1 ライン目の旧データの読み出し動作が行われる。ラッチパルス LP が発生すると、先ず第 1 番目のプリチャージ制御信号 P C1 (期間 C) が発生してから書き込み制御信号 WR (期間 A) が発生し、かかる後、第 2 番目のプリチャージ制御信号 P C2 (期間 C) が発生してから読み出し制御信号 RD<sub>i</sub> (期間 B) が発生するが、シフトクロック X SCL の発振がないと書き込みモードは存在せず、読み出し制御信号 RD<sub>i</sub> により 1 ライン目の旧データの読み出し動作が行われる。この読み出し動作においては、行アドレスレジスタ 257 によって 1 ライン目の行アドレスが指定され、次のラッチパルス (L1) の発生による奇数ラッチパルス LP<sub>i</sub> により 1 ライン目の旧データがフレームメモリ 252 へ書き込まれる。

(14)

25

ームメモリ 252 から読み出されラッチ回路 258-1 m に格納されて下位桁用排他的論理和ゲート EX<sub>1</sub> へ送られる。この 1 ライン目の旧データのラッチの後そのラッチパルス (L1) により 1 ライン目の新データ WD1 がフレームメモリへ書き込まれる。ここで、フレームメモリ 252 への書込みは、1 ライン 640 ドットのときは入力レジスタ 255 から数 100 ns 程度の 1 シフトクロック X S C L で行われるのではなく、バッファとしての書込みレジスタ 256 からそれ以上の充分な時間 (数 μ s) をかけて 1 ライン分一挙に書き込むようにしている。従って、大容量表示になるに従い、書込み速度の高速化を要求されるが、ラッチパルスにより書込みレジスタ 256 を介して書込み動作を行うことが望ましい。ラッチパルス L2 の周期内において、1 ライン目の新データ WD1 の書込みの後は、読み出し制御信号 R2 により 2 ライン目の旧データの読み出しが行われ、上位桁用排他的論理和ゲート EX<sub>2</sub> へ送られる。そして、偶数ラインのラッチパルス LP2 の発生により不一致数判定回路 258-2 で得られた不一致数の 2 ビット情報がラッチ回路 258-3 でラッチされ、前述したように、電圧セレクタ 260 でいずれかの信号電圧が選択され、1 走査ライン分と 2 走査ライン分に関する信号電極電位が液晶マトリクスに印加される。

【0059】このように、本例の X ライバ 252 は、1 ラッチパルス周期内に同一の行アドレスに対する書込みモードと読み出しモードを分割し、旧データの読み出し後に次のラッチパルスの発生により新データの書込みを実行するようにしている。従って、表示データの書込みから読み出しまでは 1 フレーム期間 (1F) である。

【0060】これはとりわけ複数ライン同時選択駆動方式を採用する場合に必要となる。信号電極の駆動波形を決める表示データを読み出し期間において該当するフレームメモリのデータは一部新データに変わっていると、不一致判定回路 258 が旧データのラインと新データのラインの組から意味のない表示態様となる信号電極の駆動波形を決定してしまうからである。特に同時に全本数を選択する場合もあるので、表示データの書込みから読み出しまでは 1 フレーム期間 (1F) 必要となる。従って、表示をスクロールするときに発生が考えられる意味のない表示態様を避けるには、選択本数を問わず、1 フレーム期間 (1F) 後に読み出すようにすれば良い。ただ、同時選択の本数が少ないときは、1 フレーム期間 (1F) までは必要ない。1 ラッチパルス LP の周期内で、同一の行アドレスに対して読み出しモード後に書込み動作を行うようにすることもできる。しかしながら、本例においても充分な書込み期間を確保するために、フレームメモリに対する書込みはシフトクロック X S C L のタイミングでなくラッチパルス LP のタイミングによって書込みレジスタ 256 により行うようにしてあることからも明らかのように、読み出しモード後に書込み動作を

(14)

26

行うと、書込み時間が充分確保されない事態や、自動パワーセーブのセット等のタイミングは厳しくなる。特に複数ライン選択駆動方式では、ラッチパルス、シフトクロック等が従来に比して必然的に遅倍的に高速化されるので、上記のモード順は採用し難くなる。まして大容量表示になると一層難しくなる。従って、1 ラッチパルス周期内に同一の行アドレスに対する書込みモード後に 1 回又は複数回の読み出しモードを実行させ、旧データの読み出しがから 1 フレーム期間後に新データの書込みを実行するようになるとが望ましい。

【0061】上記実施例においては、均等分散型 2 ライン同時選択駆動方式を採用しているため、1 水平期間内にフレームメモリ内の 2 行ライン分の表示データを読み出す必要があるので、1 水平期間内に 2 発のラッチパルス LP が発生するようモジュール・コントローラ 100 のタイミング信号発生回路 120 の分周比を設定してある。これは、フレームメモリのメモリマトリクスのセル配列において表示マトリクスの信号電極の本数とフレームメモリの列アドレス数とが等しく、走査電極の本数と行アドレス数とが等しい一般的な場合を前提としているからである。しかしながら、図 15 に示すように、フレームメモリの列アドレス数を表示マトリクスの信号電極の本数の 2 倍で行アドレス数を走査電極の本数の半分

(ブロック数) としたメモリセル配列の RAM を用いる場合には、従来通り、1 水平期間内に 1 回発生するラッチパルス LP を利用することができる。即ち、ラッチパルス LP の発生により読み出しモードになると、例えばフレームメモリの奇数ワード線 WL<sub>2i</sub> に繋がるメモリセル C<sub>2i, 2m</sub>、C<sub>2i, (2i+1)</sub> から同時に 1 ライン目及び 2 ライン目の表示データがセンサアンプ 252m を介して出力され、2 ライン分の表示データの読み出しが 1 発のラッチパルス LP だけで済む。このような回路構成では、図 13 に示すような 2 ライン目の表示データが出力されるまで 1 ライン目表示データを保持しておく待ち合わせ用のラッチ回路 258-1m を除くことができ、高速化の傾向のある第 1 のラッチパルス LP1 と第 2 のラッチパルス LP2 とのタイミング調整が微妙にならず、ドライバセル部分の回路構成の簡素化により複数同時選択駆動方式の実用化に寄与する。

【0062】ただし、図 16 又は図 15 のメモリ構成の場合、ラッチパルス LP の入力に対するフレームメモリのワード線のアドレス歩進のスピードが書込みより読み出しの方が速くなる。このため、図 16 に示すように、行アドレスレジスタ 257' は、書込みアドレス発生用 W カウンタ 261 と読み出しアドレス発生用 R カウンタ 262 とを独立に持つおり、その出力をマルチプレクサ 263 で切り換え、マルチプレクサ 263 の出力 RA をアドレスデコーダ 252'd へ与える。書込みアドレス発生用 W カウンタ 261 は、フレーム開始パルス YD で初期化され、図 12 で示されるプリチャージ信号 P C

(15)

27

と書込み制御信号WRTを使って書込みアドレスを生成する。また、読み出しアドレス発生用Rカウンタ262は、フレーム開始パルスYDで初期化され、図12で示されるプリチャージ信号PCと読み出し制御信号RDを使って読み出しアドレスを生成する。このようにすることによって、 $2^n$ 本複数ライン同時選択駆動の場合は、同時選択ライン数に関係なく、従来方式のコントローラと同じラッチパルスLPの周期で表示データをコントローラからXドライバに転送することができる。

【0063】ここで、上記2ライン同時読み出しの手法を一般化し、複数ライン同時選択駆動方式において複数ライン分の表示データをフレームメモリから同時に読み出すXドライバの全体構成を図16を参照して簡単に説明しておく。まずフレームメモリ252'のメモリマトリクス部252'aの縦横構成を $(h \times 2^n \times D) \times W$ とする。ここで、

h : 複数ライン同時選択駆動において同時選択駆動される走査電極の本数

n : 自然数

D : Xドライバ1個当たりのドライバ出力数(駆動できる信号電極の本数)

W : ワード線の本数

$(h \times 2^n \times D) \times W$ は、Xドライバ1個が駆動できる最大表示ドット数に等しい。因みに、図11のフレームメモリ構成は(ドライバ出力数) × (表示ライン数)である。

【0064】図16において、書込みレジスタ256に蓄えられた表示データは書込み制御信号WRに従って書込み回路252'bと書込みセレクタ252'cを介してアドレスデコーダ252'dで選択されたワード線に繋がるメモリセルに書き込まれる。アドレスデコーダ252'dは図11の行アドレスシフトレジスタ257から出力される行アドレスをデコードするものである。表示データの読み出し動作においては、読み出し制御信号RDに従って $(h \times 2^n \times D)$ ビットの表示データがフレームメモリのメモリマトリクス部252'aから読み出しセレクタ252'eに読み出される。読み出しセレクタ252'eはアドレスデコーダ252'dの出力に従って $(h \times 2^n \times D)$ ビットのデータを選択する。従って、n=0のときは読み出しセレクタ252'eは不要となる。 $(h \times D)$ ビットの表示データは、1走査期間間にXドライバにより同時駆動される全表示データである。読み出しセレクタ252'eの出力はセンス回路252'fによりデジタル信号に変換され、信号パルス割り出し回路258'の複数同時選択駆動用デコーダ

(MLSデコーダ)258'aに送られる。MLSデコーダ258'aは、表示データ、液晶交流化信号FR、走査スタート信号YDによりリセットされ、Yドライバからのキャリー信号FSをカウントし、1フレーム内の走査状態を区別するステートカウンタ258'cからの

50

28

出力を受けて、ドライバ出力電位を選択する信号をデコードする。MLSデコーダ258'aの出力はラッチパルスLPをクロックとするラッチ回路258'bにより同期がとられ、レベルシフタ259へ与えられる。このような回路構成によれば、複数同時選択駆動方式と言えども、複数ライン分の表示データの読み出しが1走査当たり1回で済むことになり、消費電力の削減効果と共に、回路タイミングの単純化も実現できる。

【0065】なお、本例においては均等分散型2ライン同時選択駆動方式を採用する場合を特に説明してあるが、本発明は3ライン以上の複数ラインを同時に選択する駆動方式の場合にも適用できる。また本発明は部分的に従来から用いられている電圧平均化法の駆動方式にも適用できることは言う迄もない。更に、単純マトリクス型に限らず、MIM駆動方式等にも適用できる。上記実施例では、フレームメモリは表示体の画素に1対1に対応するセルを持たせてあるが、表示体画素のうち現在駆動されている画素の前後に関係する一部分又は複数画面分のフレームメモリを持ち、間欠的に表示データをモジュール・コントローラからXドライバに送る方式や、表示体の画素に対して圧縮された表示データを用いる方式についても、本発明を適用できるところである。また更に、本発明は、LCD表示装置に限らず、蛍光表示管、プラズマディスプレイ、エレクトロルミネッセンス等のマトリクス型ディスプレイや液晶のライトバルブ性を用いた液晶応用装置等にも広く適用できるものである。

【0066】

【発明の効果】以上説明したように、本発明は、従来のマトリクス型表示制御装置と、従来のメモリ内蔵型の信号電極ドライバとを組合せた方式において、マトリクス型表示制御装置の高周波クロックの発振源を表示データの転送の際に間欠動作させるようにしたことに特徴を有する。このようなマトリクス型表示制御装置によれば、第1の記憶手段において表示データの変更があったときだけ高周波クロックが動作し、表示データを第2の記憶手段へ転送するものであるから、高周波クロックの間欠動作によりマトリクス表示装置全体の低消費電力化を図ることができる。

【0067】また第2の記憶手段に対する転送処理はMPUが行うのではなく、仲介に立つマトリクス表示制御装置が実行するものであるため、第1の記憶手段側のホストMPUの処理負担を低減できると共に、更に信号電極の駆動装置をカスケード接続することにより、第2の記憶手段に走査ライン毎の表示データが一挙に格納されるので、アドレスの対応付けの容易化も達成でき、従って、画面変更の高速化を達成できる。更に、信号電極の駆動装置のカスケード接続により大容量表示装置でもマトリクス型表示制御装置と駆動装置との結線数を抑制でき、表示画面面積比率の大きな表示装置を実現できる。

【0068】また、信号電極ドライバにおいては高速ク

(16)

29

ロックを用いないで1走査期間を分割したタイミングで第2の記憶手段に余裕を以てアクセスするようにしてある。

【0069】このため、第2の記憶手段へのアクセスタイミングが従来に比して緩和されるので、書き込み力を向上させることができ、第2の記憶手段の構成トランジスタのサイズを縮小化できる。ドライバのチップサイズの小型化にも寄与する。

【0070】更に、本発明を複数ライン同時選択駆動方法に適用すれば、1ライン当たりの表示に要するデータ処理量が従来の駆動方法よりも多いにも拘らず、表示装置自体を低周波で動作させることができるので、従来よりも低消費電力で、フリッカが少なく、高コントラスト・高速応答のマトリクス型液晶表示装置を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施例に係る単純マトリクス型液晶表示装置の全体構成を示すブロック図である。

【図2】同実施例に係る単純マトリクス型液晶表示装置におけるモジュール・コントローラの詳細を示すブロック図である。

【図3】上記モジュール・コントローラの動作を説明するためのタイミングチャートである。

【図4】単純マトリクス型液晶表示装置における画素のオン・オフ状態の一例を示す模式図である。

【図5】電圧平均化法によるマルチプレクス駆動方式における走査電極波形及び信号電極波形を示す波形図である。

【図6】電圧平均化法によるマルチプレクス駆動方式における画素液晶のオン・オフ特性を示す波形図である。

【図7】均等分散型3ライン選択駆動方式における走査電極波形及信号電極波形を示す波形図である。

【図8】図7に示す均等分散型3ライン選択駆動方式における画素液晶のオン・オフ特性を示す波形図である。

【図9】同実施例が採用する分散型2ライン選択駆動方式における走査電極波形及び信号電極波形の一例を示す波形図である。

【図10】(a)は同実施例に係る単純マトリクス型液晶表示装置における走査電極駆動回路(Yドライバ)の構成を示すブロック図であり、(b)はその複数のYドライバをカスケード接続した結線図である。

【図11】同実施例に係る単純マトリクス型液晶表示装置における信号電極駆動回路(Xドライバ)の構成を示すブロック図である。

【図12】同信号電極駆動回路(Xドライバ)におけるタイミング回路の構成の詳細を示す回路図である。

【図13】同信号電極駆動回路における周辺回路とフレームメモリから信号パルス割り出し回路、レベルシフタ及び電圧セレクタまでの1信号電極当り(1出力X<sub>m</sub>)のmビット回路部250mに着目した回路構成を示す回

30

路図である。

【図14】同信号電極駆動回路における書き込み動作及び読み出し動作を説明するためのタイミングチャートである。

【図15】同信号電極駆動回路における別のフレームメモリの構成を示すブロック図である。

【図16】別のフレームメモリを用いた場合における信号電極駆動回路(Xドライバ)の構成を示すブロック図である。

#### 【符号の説明】

10 10…ホストMPU

11…システムメモリ

12…VRAM

13…補助記憶装置

14a…システムバス

14b…専用バス

15…入力用タッチセンサ

16…タッチセンサ・コントローラ

17…データバス

20 20 100…モジュール・コントローラ

110…低周波発振回路

110a…振動子

120…タイミング信号発生回路

121…分周器

122…垂直カウンタ

123…フレームカウンタ

130…スタンバイ回路

131…システムバス・インターフェース回路

132…ラインフラグレジスタ

133…比較回路

30 134…同期調整回路

134a…インバータ

134b…D型フリップフロップ

134c…論理積ゲート

140…高周波発振回路

141…論理積ゲート

142…可変周波数CR発振器

142a…論理積ゲート

142b, 142c…インバータ

40 40 142d…スイッチ選択レジスタ

R<sub>1</sub>, R<sub>2</sub>, R<sub>2</sub>…帰還抵抗

C<sub>1</sub>…帰還キャパシタ

SW<sub>1</sub>, SW<sub>2</sub>, SW<sub>3</sub>…選択スイッチ

143…間欠動作時限回路

143a…インバータ

143b…論理積ゲート

143c…プリセット・カウンタ

143e…インバータ

143d…クロック数レジスタ

50 50 143f…インバータ

(17)

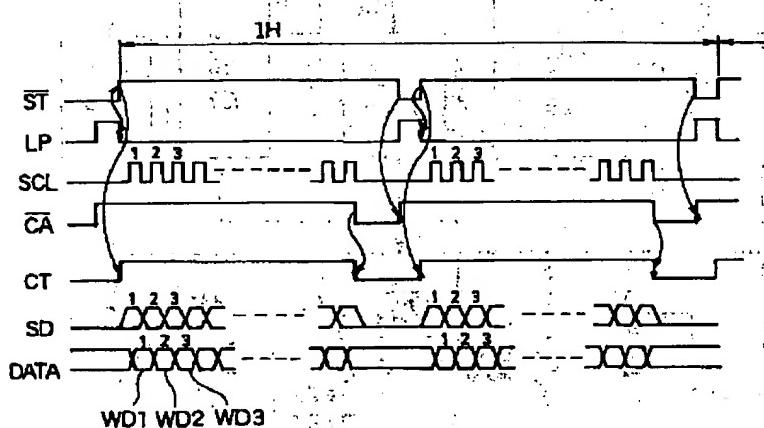
31

- 144…論理積ゲート  
150…DMA回路  
151…DMA制御回路  
152…データ変換回路  
200…LCDモジュール  
220…Yドライバ  
221…コード発生部  
222…電圧セレクタ  
223…第1シフトレジスタ  
224…第2シフトレジスタ  
225…ラッチ部  
226…レベルシフタ  
250…Xドライバ  
250a…偶奇ライン識別回路  
250aa…D型フリップフロップ  
250ab, 250ac…NANDゲート  
250c…フィールド・ステート回路  
250ca…D型フリップフロップ  
250cb, 250cd…論理積ゲート  
250cc…インバータ  
250ce…論理和ゲート  
251…チップインエーブル・コントロール回路  
252…フレームメモリ  
253…タイミング回路  
253-1…第1のワンショット・マルチバイブレータ  
253-2…第2のワンショット・マルチバイブレータ  
253-3…第3のワンショット・マルチバイブレータ  
253-4…シフトロック検出回路  
253-5…論理積ゲート

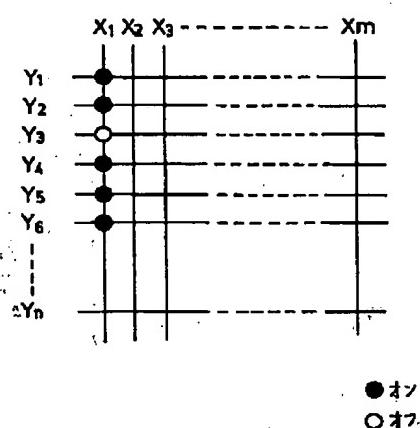
32

- 253a…論理積ゲート  
253b…論理積ゲート  
253c…論理積ゲート  
253d, 253h, 253j…インバータ  
253e, 253f, 253g, 253g'…NAND  
ゲート  
253i, 253k, 253m…遅延回路  
253s, 253t…D型フリップフロップ  
EX<sub>1</sub>, EX<sub>2</sub>…排他的論理和ゲート  
254…データ入力制御回路  
255…入力レジスタ  
256…書込みレジスタ  
257…行アドレスレジスタ  
258…信号パルス割り出し回路  
258-1…ラッチ回路  
258-2…不一致数判定回路  
258-3…ラッチ回路  
259…レベルシフタ  
260…電圧セレクタ  
252'a…フレームメモリ  
252'b…書込み回路  
252'c…書込みセレクタ  
252'd…アドレスデコーダ  
252'e…読み出しセレクタ  
258'…信号パルス割り出し回路  
258'a…MSLデコーダ  
258'b…ラッチ回路  
258'c…ステートカウンタ。

【図3】

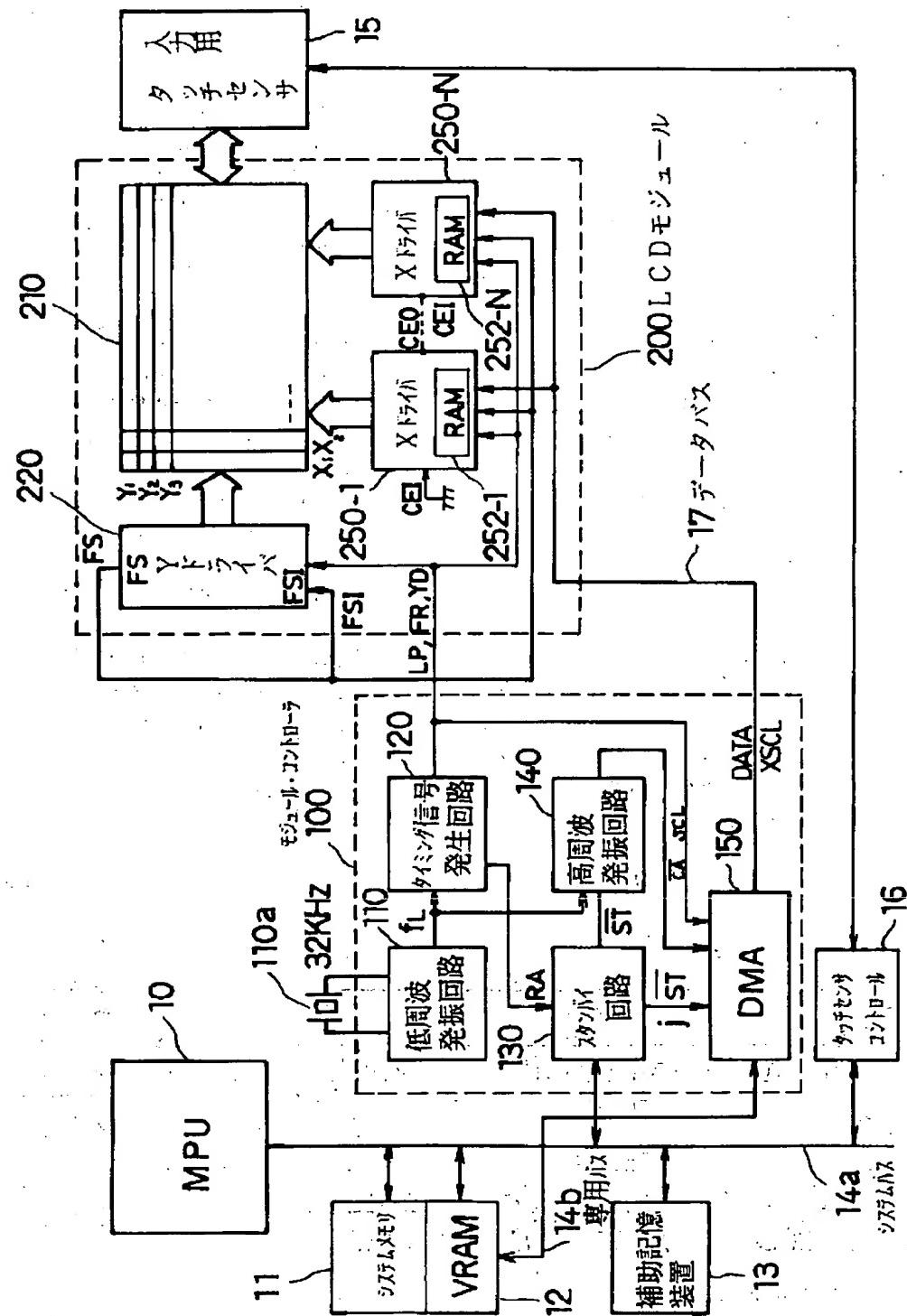


【図4】



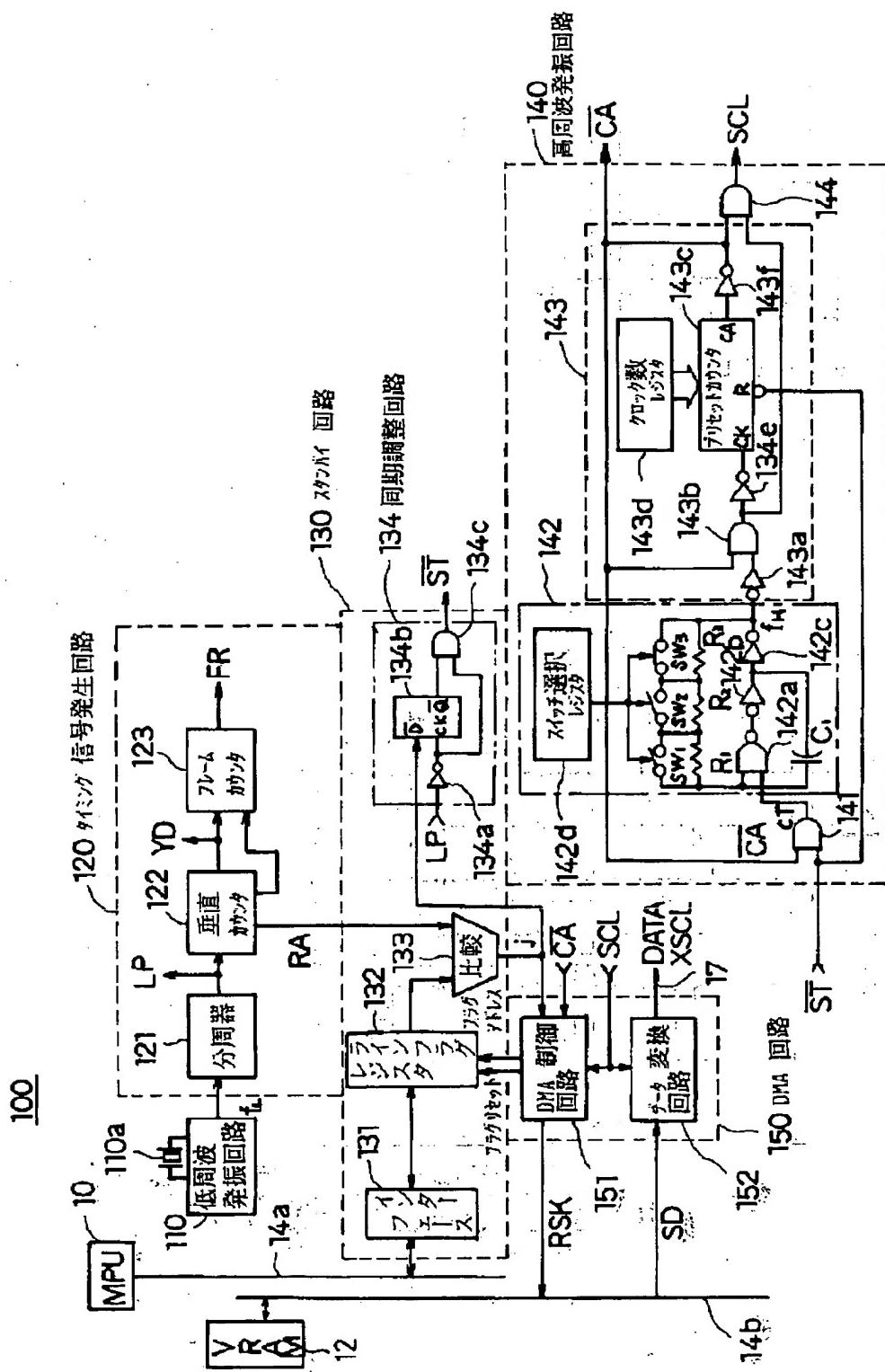
(18)

【図1】



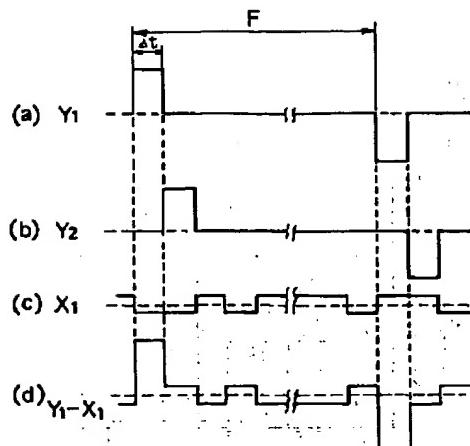
(19)

【図2】

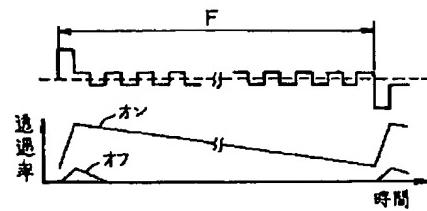


(20)

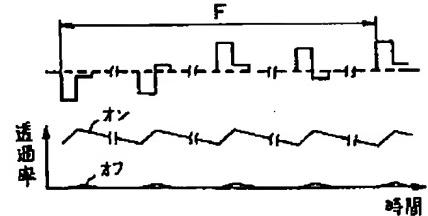
【図5】



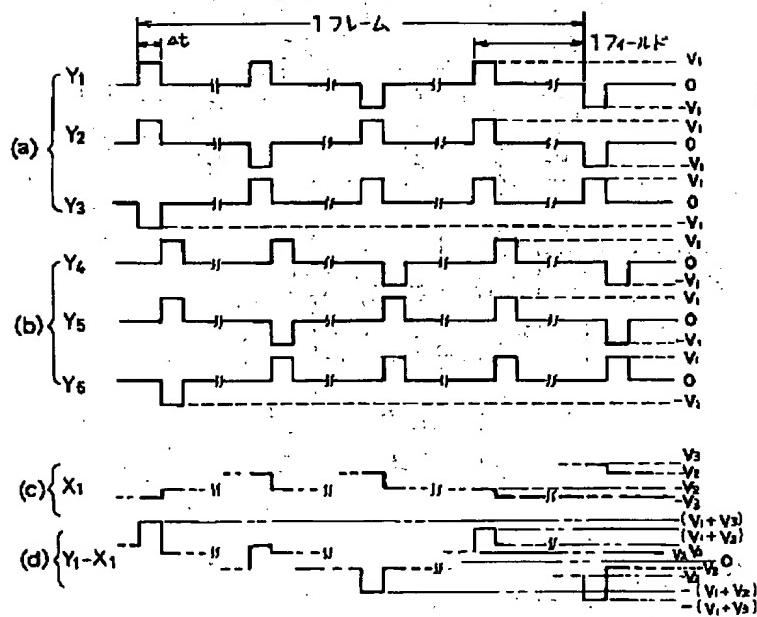
【図6】



【図8】

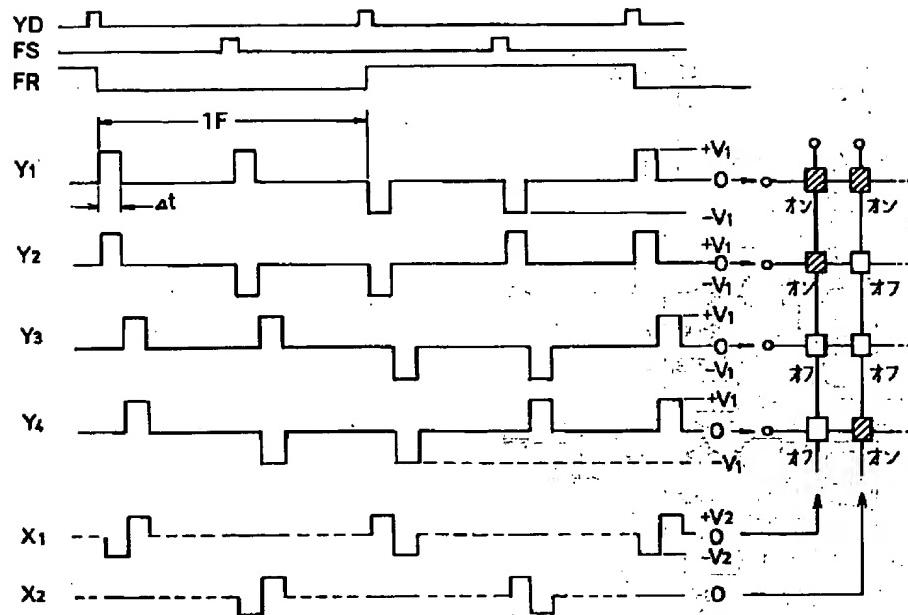


【図7】

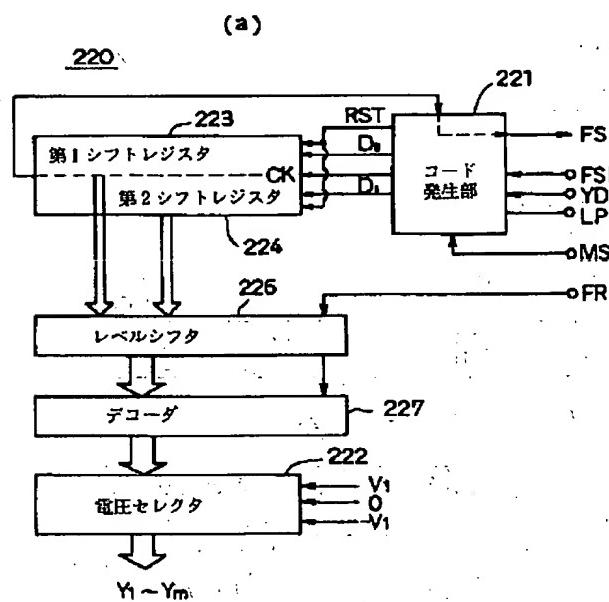


(21)

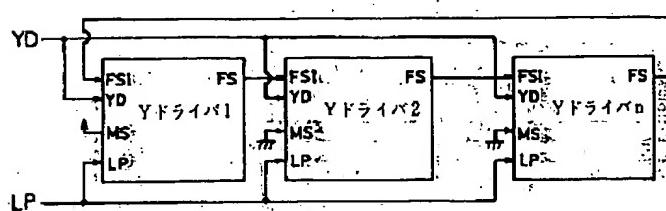
【図9】



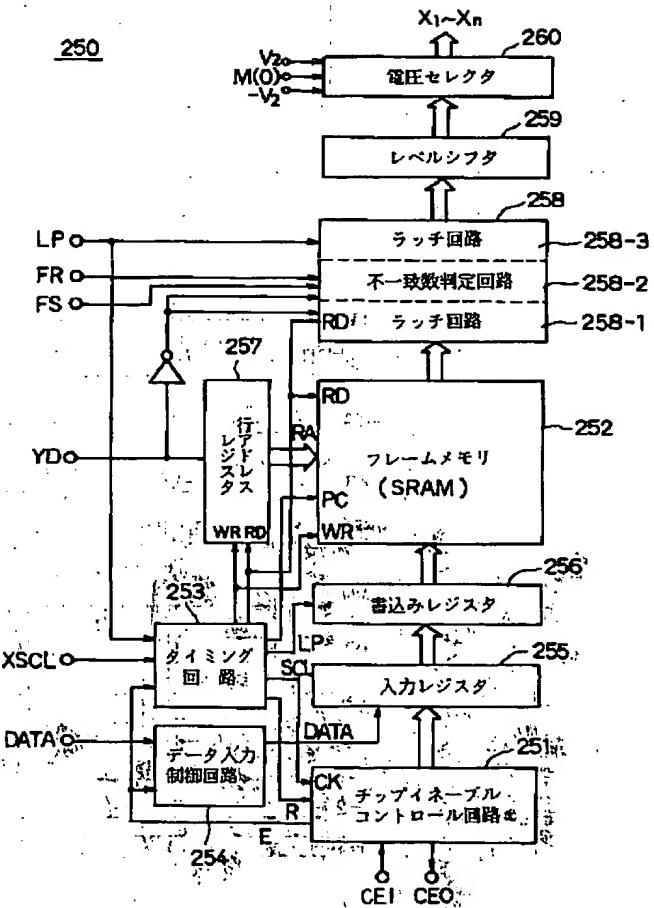
【図10】



(b)

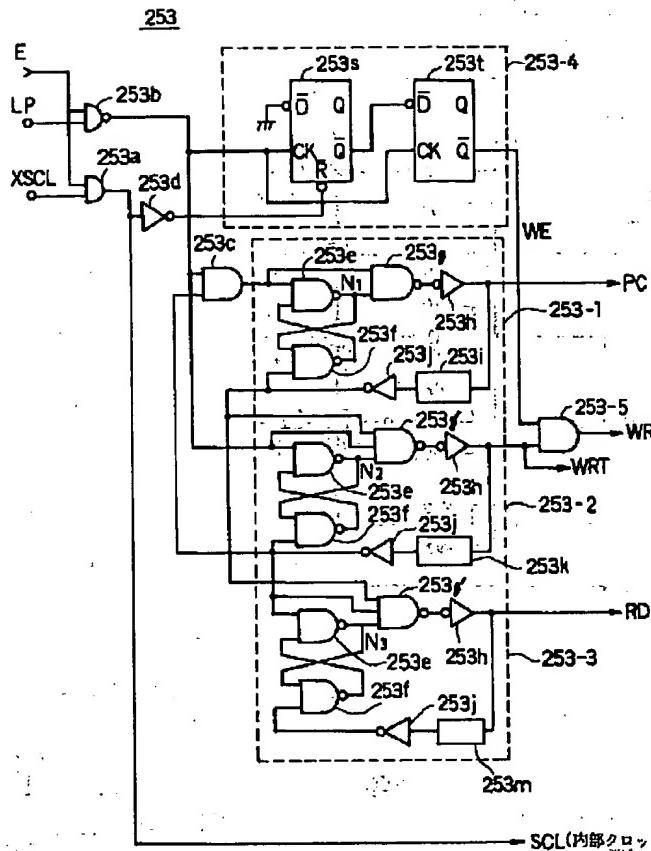


【図11】



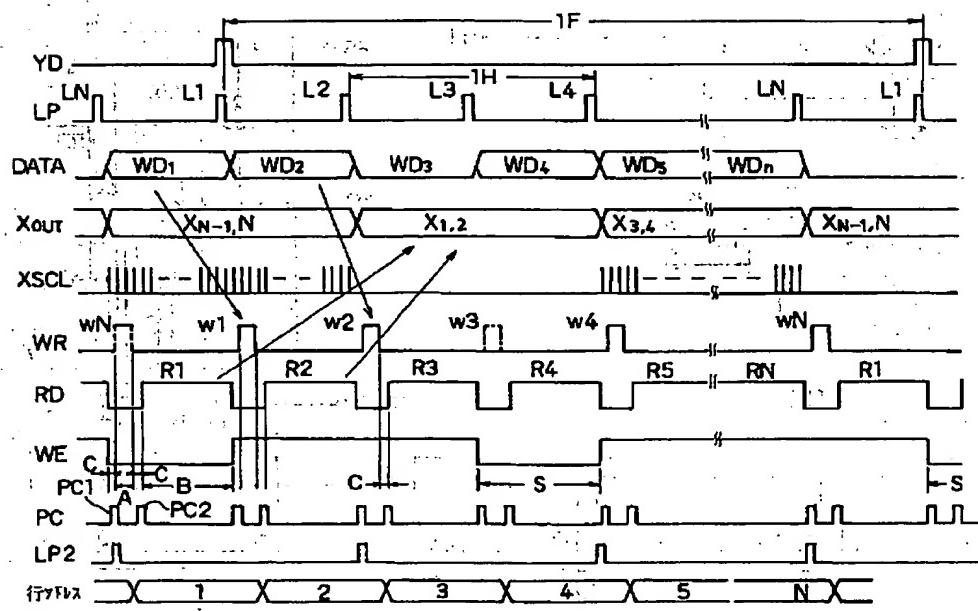
(22)

【図12】



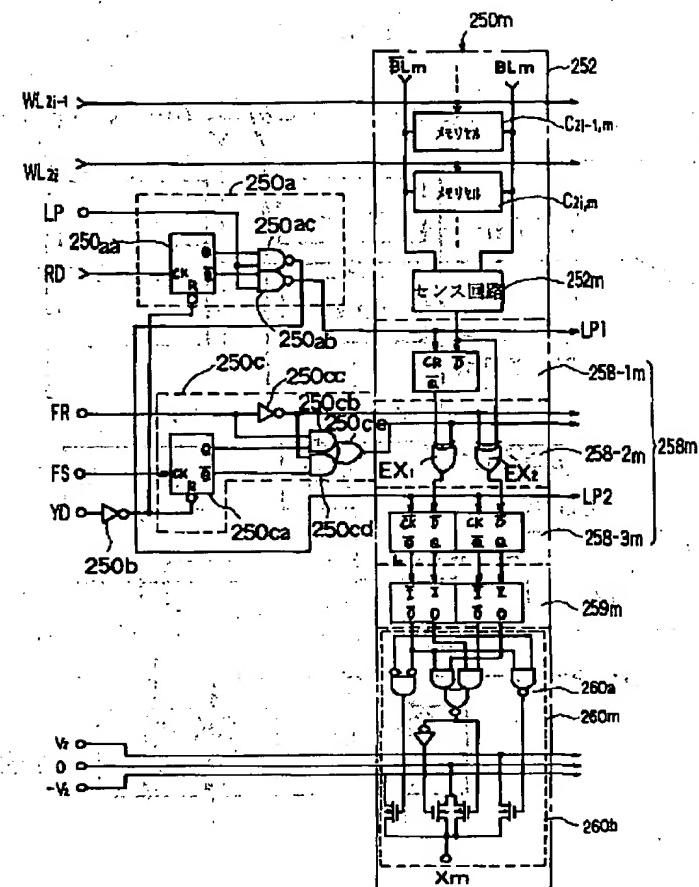
—SCL(内部2ロック)

【図14】



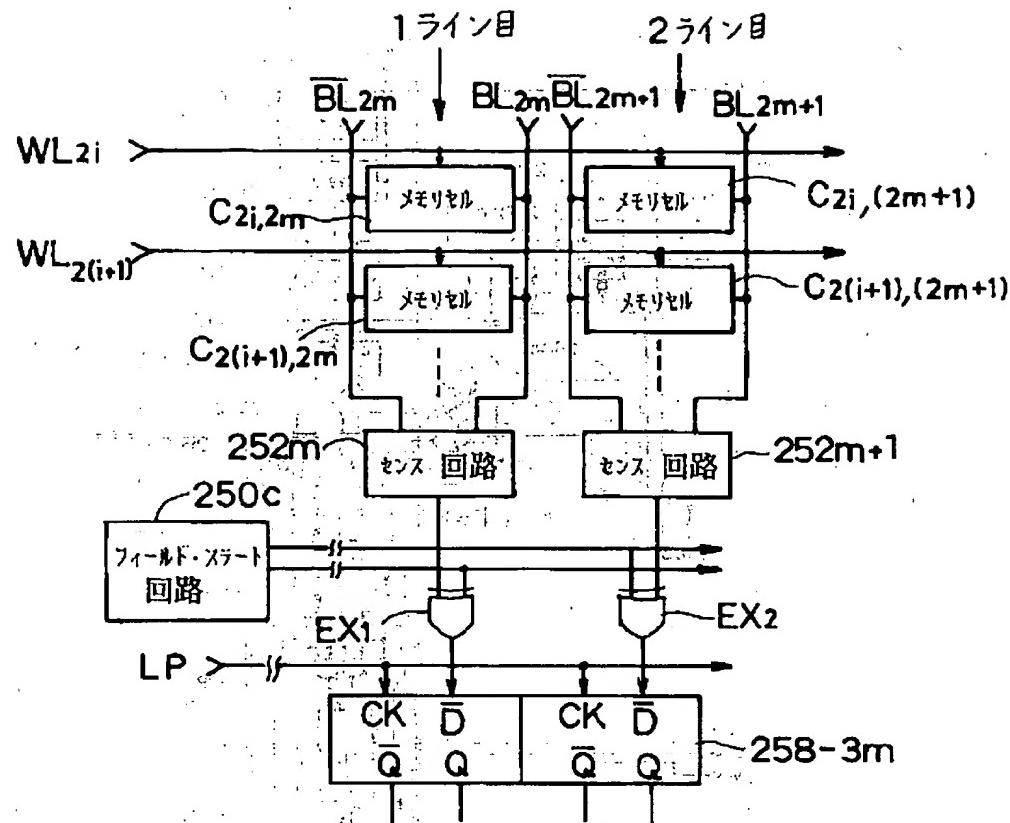
(23)

【図13】



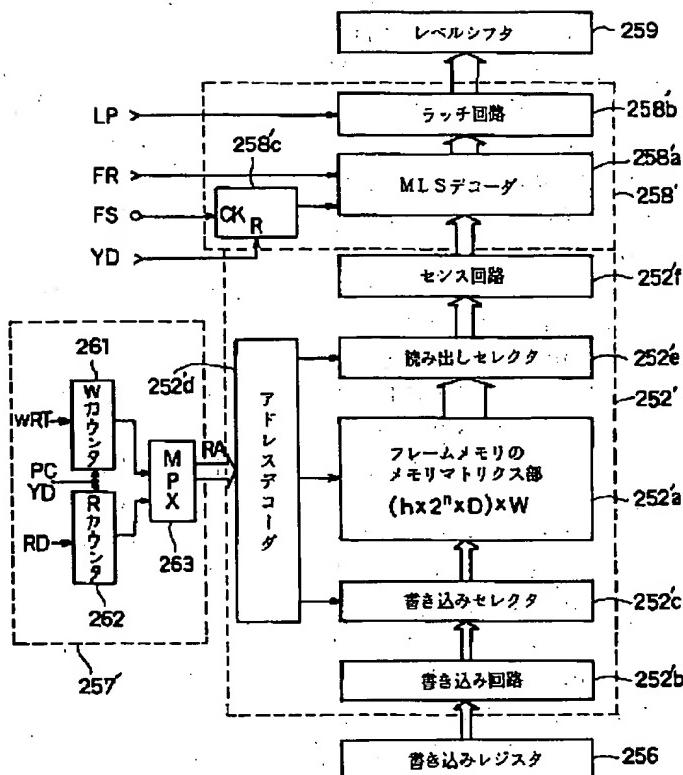
(24)

【図15】



(25)

【図16】



## 【手続補正書】

【提出日】平成5年7月13日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

## 【補正内容】

【0002】

【従来の技術】従来、フラットディスプレイの一例としての単純マトリクス型液晶表示装置においては、MPU（マイクロ・プロセッサ・ユニット）側から表示データをLCDモジュール（液晶表示パネル（LCDパネル）、走査電極駆動回路（Yドライバ）、信号電極駆動回路（Xドライバ）等）へ転送する方式として、マトリクス型液晶表示素子モジュール・コントローラ（以下、モジュール・コントローラと言う）を用いる方式とRAM（データ読み出し用）内蔵型Xドライバを用いる方式とに大別できる。まず、前者の方式は、CRTを用いた表示装置と同様、システムバスに繋がるモジュール・コントローラが表示データを記憶しているビデオRAM（VRAM）から表示データを読み出し、これをLCDモジュールに対し高周波数のクロックで転送して表示リフレッシュ動作を行うものである。後者の方式は、Xド

ライバ内に2ポートタイプのフレームメモリ（内蔵RA M）を持ち、MPUがデータバス、コントロールバス又はアドレスバスを介して液晶表示タイミングとは無関係に直接フレームメモリにアクセスし、フレームメモリ内の表示データを変更するようになっており、Xドライバ内で所要の制御信号を生成して、内蔵フレームメモリから一走査ライン分の表示データを同時に読み出し、表示リフレッシュ動作を行うものである。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

## 【補正内容】

【0054】シフトクロック検出回路253-4は、シフトクロックX S C Lの逆相クロックをリセット入力R（バー）と共に、ラッチパルスLPの反転クロックの立ち上がりで接地電位（低レベル）をデータ反転入力D<sub>t</sub>（バー）として記憶するD型フリップ・フロップ253-sと、ラッチパルスLPの反転クロックの立ち上がりでD型フリップ・フロップ253-sの反転出力Q<sub>t</sub>（バー）をデータ反転入力D<sub>t</sub>（バー）として記憶するD型フリップ・フロップ253-tを有している。シフトクロック

(26)

クX SCLの入来があると、まず最初のシフトクロックX SCLのパルスでD型フリップ・フロップ253sがリセットされ、そのQ(バー)出力が高レベルとなっているが、ラッチパルスLPの立ち下がりによってD型フリップ・フロップ253sには接地電位がデータ反転入力D(バー)として記憶されるのでそのQ(バー)出力が低レベルへ遷移すると共に、D型フリップ・フロップ253tには、253sの出力が変化する前の値を取り込まれ高レベルのデータ反転入力D(バー)を記憶するので、そのQ(バー)出力たるシフトクロック検出信号WEが高レベルとなる。ラッチパルスLP直後のシフトクロックX SCLの入来すると、D型フリップ・フロップ253sはリセットされ、そのQ(バー)出力が高レベルに戻る。このようにシフトクロックX SCLの入来が続く限り、D型フリップ・フロップ253tからのシフトクロック検出信号WEは高レベルであるので、論理積ゲート253-5は導通状態のままであり、第2のワンドショット・マルチバイブレータ253-2からの書き込み制御信号WRはフレームメモリ等へ出力され続ける。他方、シフトクロックX SCLの入来が止み、最後のシフトクロックX SCLのパルスでD型フリップ・フロップ253sのQ(バー)出力が低レベルに設定された状態のままでラッチパルスLPが入来すると、D型フリップ・フロップ253tからのシフトクロック検出信号WEが低レベルになるので、論理ゲート253-5が閉じ、書き込み制御信号WRの通過が禁止される。

### 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正内容】

【0055】次に、図13を参照しつつXドライバ250における周辺回路とフレームメモリ252から信号パルス割り出し回路258、レベルシフタ259及び電圧セレクタ260までの1信号電極当たり(1出力X<sub>m</sub>)のmビット回路部250mに着目した回路構成を説明する。フレームメモリ252のメモリマトリクスにおける奇数ワード線WL<sub>2i-1</sub>、偶数ワード線WL<sub>i</sub>とビット線BL<sub>m</sub>、BL<sub>m</sub>(バー)との交点にはメモリセルC<sub>2i-1,m</sub>、C<sub>2i,m</sub>があり、画素P<sub>2i-1,m</sub>、P<sub>2i,m</sub>に対応した表示データ(オン・オフ情報)が格納されている。ラッチパルスLPが発生すると、タイミング回路253からプリチャージ信号PC、書き込み制御信号WR又は読み出し制御信号RDが生成されるので、フレームメモリ252への印加により奇数ワード線WL<sub>2i-1</sub>が行アドレスレジスタ257の順次的な指定によりフレームメモリ252内の行アドレスデコーダによって選択され、メモリセルC<sub>2i-1,m</sub>についての書き込み又は読み出しが行われる。また次のラッチパルスLPが発生すると、偶数ワード線WL<sub>i</sub>が選択され、メモリセルC<sub>2i,m</sub>について

の書き込み又は読み出しが行われる。なお、読み出し動作においては読み出し制御信号RDによりセンス回路252mが能動化され、メモリセルから表示データが出力される。

### 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正内容】

【0057】本例においては、前述したように均等分散型2ライン同時選択駆動方式であるので、 $2^1 = 2$ の数だけ走査電極の電圧パルスパターンがあるが、2つの異なる列パターンを連続した2本の走査電極に印加するようにしてあるので、そのパターン数を展開するには2フィールドが必要である。他方、フレーム毎に交流化信号FRが反転するため、これも考慮すると、4フィールドですべての列パターンが展開されることになる。このため、周辺回路には走査電極の電位パターンを指定するフィールド・ステート回路250cが設けられている。なお、この電位パターンの指定情報はXドライバ内で発生させずに、走査電極ドライバ側のコード発生部221又はモジュール・コントロー100から受けるようにすることもできる。このフィールド・ステート回路250cは、フレーム開始パルスYDの逆相パルスによってリセットされフィールド開始パルスFSの入来毎に記憶内容の反転するD型フリップ・フロップ250caと、そのQ出力と交流化信号FRを2入力とする論理積ゲート250cbと、D型フリップ・フロップ250caのQ(バー)出力と交流化信号FRのインバータ250ccを介した信号を2入力とする論理積ゲート250cdと、論理積ゲート250cb; 250cdの両出力を2入力とする論理和ゲート250ceとから構成されている。奇数ラインの読み出し時に発生するラッチパルスLP1によってメモリセルC<sub>2i-1,m</sub>の表示データ(オン・オフ情報)が信号パルス割り出し回路258の1ビットのラッチ回路258-1mに取り込まれ、不一致数判定回路258-2mの下位ビット用排他的論理和ゲートEX<sub>1</sub>に供給される。またこれに引き続き発生する偶数ラインのラッチパルスLP2によってメモリセルC<sub>2i,m</sub>の表示データ(オン・オフ情報)は直接不一致数判定回路258-2mの上位ビット用排他的論理和ゲートEX<sub>2</sub>に供給される。ラッチパルスLP1、2は交互に出力されるのでラッチ回路258-1と258-3のラッチ期間は互いにオーバーラップ期間を持っており、両メモリセルの表示データ(オン-オン、オン-オフ、オフ-オン、オフ-オフ)は同時に不一致数判定回路258-2mへ供給される。また前述の2本の走査電極の列パターンに相当する情報も不一致数判定回路258-2mに供給されているので、不一致数判定回路258-2mは表示データの2ビット情報と走査電極の2ビット情報の

桁不一致を検出する。2本同時選択の場合は、2ビット出力であるので不一致数判定回路258-2mの出力はそのままコード化された不一致数として扱うことができる。本例における採りうる不一致数は0, 1又は2である。不一致数判定回路258-2mで得られた2ビット情報はラッチ回路258-3mに取り込まれ、その不一致数信号はレベルシフタ259mで高論理振幅レベルの信号に変換される。そして、電圧セレクタ260mのデコーダ260aはその不一致数信号をデコードし、選択スイッチ260bのトランジスタのいずれかを開閉させることにより、信号電極の電位-V<sub>2</sub>, 0, V<sub>2</sub>のいずれかが選択されることになる。なお、本例では不一致数0のときは-V<sub>2</sub>、不一致数1のときは0、不一致数2のときはV<sub>2</sub>が選択される。このようなXドライバの構成によって均等分散型2ライン同時選択駆動が可能となる。また、不一致数を判定しなくとも、前述のフレームメモリ出力とフィールド・ステート回路259cの出力から直接デコードするような回路構成を採用しても良い。

#### 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正内容】

【0058】以上の説明で本例におけるXドライバの各部の構成及び動作が理解されたことであろうが、図14のタイミングチャートを参照しつつフレームメモリの書き込み及び読み出し動作を説明する。モジュール・コントローラ100のタイミング信号発生回路120によって図14に示すようなフレーム開始パルスYD, ラッチパルスLPが発生する。フレーム開始パルスYDは1フレーム期間(1F)毎発生し、またラッチパルスLPは1水平期間(1H)内に2回発生する。ここでは、1フレーム期間内にN個のラッチパルスが発生する。ラッチパルスLPの1周期内ではモジュール・コントローラ100から1走査ライン分の表示データDATA(WD<sub>i</sub>)がシフトクロックX SCLによってXドライバ250へ転送されて来る。図14ではVRAM12内の表示データDATAのうち第3走査ライン目の表示データWD3を除き他のすべての走査ライン目の表示データが変更された場合の書き込み・読み出し動作を示しているので、第3走査ライン目の表示データWD3の転送は新たに行われず、第3走査ライン目の表示データの表示動作はフレームメモリ252内の旧データを読み出すことにより達成される。Xドライバ250のタイミング回路253によって図14に示すような読み出し制御信号RD, シフトクロック検出信号WE及び書き込み制御信号WRも発生する。モジュール・コントローラ100側で新データWD2の転送をXドライバ250に対して完了すると、前述したようにシフトクロックX SCLの転送も中止される。その後新データWD4以降の転送とシフトクロック

X SCLの発振が行われる。シフトクロックX SCLの転送が一時中止されると、前述したように、モジュール・コントローラ100はスタンバイ期間Sに入るので、タイミング回路253のシフトクロック検出回路253-4がそれを検出してシフトクロック検出信号WEが発生しない。これによって書き込み制御信号(W3)のみ発生しない。まず、最初のラッチパルス(LN)が発生すると、1ライン目の表示データ(WD1)が次のラッチパルス(L1)の発生までの間(1周期内)にXドライバ250へ入来し、ラッチパルス(L1)の発生により書き込みレジスタ256に取り込まれてフレームメモリ252の該当行アドレスに書き込まれるが、最初のラッチパルス(LN)が発生から次のラッチパルス(L1)の発生までの間には、フレームメモリ252から1ライン目の旧データの読み出し動作が行われる。ラッチパルスLPが発生すると、先ず第1番目のプリチャージ制御信号PC1(期間C)が発生してから書き込み制御信号WR(期間A)が発生し、しかる後、第2番目のプリチャージ制御信号PC2(期間C)が発生してから読み出し制御信号RD(期間B)が発生するが、シフトクロックX SCLの発振がないと書き込みモードは存在せず、読み出し制御信号R1により1ライン目の旧データの読み出し動作が行われる。この読み出し動作においては、行アドレスレジスタ257によって1ライン目の行アドレスが指定され、次のラッチパルス(L1)の発生による奇数ラッチパルスLP1により1ライン目の旧データがフレームメモリ252から読み出されラッチ回路258-1mに格納されて下位桁用排他的論理和ゲートEX1へ送られる。この1ライン目の旧データのラッチの後そのラッチパルス(L1)により1ライン目の新データWD1がフレームメモリへ書き込まれる。ここで、フレームメモリ252への書き込みは、1ライン640ドットのときは入力レジスタ255から数100ns程度の1シフトクロックX SCLで行われるのではなく、バッファとしての書き込みレジスタ256からそれ以上の充分な時間(数μs)をかけて1ライン分一挙に書き込むようにしている。従って、大容量表示になるに従い、書き込み速度の高速化を要求されるが、ラッチパルスにより書き込みレジスタ256を介して書き込み動作を行うことが望ましい。ラッチパルスLP2の周期内において、1ライン目の新データWD1の書き込みの後は、読み出し制御信号R2により2ライン目の旧データの読み出しが行われ、上位桁用排他的論理和ゲートEX2へ送られる。そして、偶数ラインのラッチパルスLP2の発生により不一致数判定回路258-2で得られた不一致数の2ビット情報がラッチ回路258-3でラッチされ、前述したように、電圧セレクタ260でいずれかの信号電圧が選択され、1走査ライン自分と2走査ライン自分に関する信号電極電位が液晶マトリクスに印加される。

#### 【手続補正6】

(28)

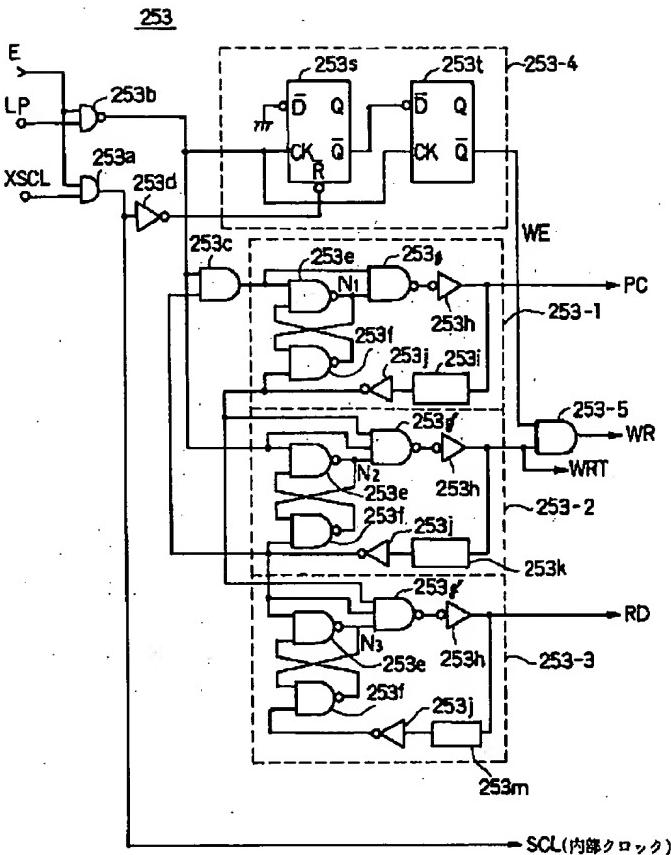
【補正対象書類名】図面

【補正対象項目名】図12

【補正方法】変更

【補正内容】

【図12】



—SCL(内部クロック)

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第2区分  
【発行日】平成13年7月6日(2001.7.6)

【公開番号】特開平6-130910  
【公開日】平成6年5月13日(1994.5.13)  
【年通号数】公開特許公報6-1310  
【出願番号】特願平5-152533

【国際特許分類第7版】

G09G 3/20  
G02F 1/133 545  
G09G 3/36

【F I】

G09G 3/20 R  
G02F 1/133 545  
G09G 3/36

【手続補正書】

【提出日】平成12年6月21日(2000.6.21)

【手続補正1】

【補正対象書類名】明細書  
【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、該表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、前記第2の記憶手段から読み出される表示データに基づき前記マトリクス表示体を駆動する駆動手段とを有するマトリクス型表示装置において、前記第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の発振手段と、前記発振手段からのクロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出して前記第2の記憶手段へ転送する表示データ転送手段とを有することを特徴とするマトリクス型表示装置。

【請求項2】第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の発振手段と、前記発振手段からのクロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段とを有することを特徴とするマトリクス型表示制御装置。

【請求項3】表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、該表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、前記第2の記憶手段から読み出される表示データに基づき前記マトリクス表

示体を駆動する駆動手段とを有するマトリクス型表示装置において、

前記第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の第1の発振手段と、前記第1の発振手段よりも低周波数で発振する第2の発振手段と、

前記第1の発振手段からのクロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出して前記第2の記憶手段へ転送する表示データ転送手段と、前記第2の発振手段からのクロックを用いて前記マトリクス表示体を駆動するためのタイミング信号を生成するタイミング信号発生手段とを有することを特徴とするマトリクス型表示装置。

【請求項4】マトリクス型表示体の表示画素の少なくとも一部に対応する表示データを記憶する隨時書き込み読み出し可能な記憶手段を有し、該記憶手段から表示データを読み出し前記マトリクス表示体の信号電極に駆動電圧を印加するマトリクス型表示駆動装置において、

1走査期間毎に受け取る周期信号を基に1走査期間でタイミングをずらした書き込み制御信号及び読み出し制御信号を生成するタイミング発生手段と、前記記憶手段の同一行アドレスに対する読み出し制御信号により読み出し動作を実行した後、前記書き込み制御信号により書き込み動作を実行する書き込み読み出し手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項5】請求項4に記載のマトリクス型表示駆動装置において、前記表示データの転送に用いられるクロックの停止を検出するクロック検出手段と、前記クロック検出手段の検出信号に基づいて前記書き込み制御信号の発生を停止させる書き込み禁止制御手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項6】請求項5に記載のマトリクス型表示駆動

(2)

2

装置において、前記書込み読み出し手段は、入力される表示データを前記クロックを用いて少なくとも1走查ライン分格納する一時格納手段と、該一時格納手段の格納表示データを前記クロックの1周期以上の長い信号により前記記憶手段に書込み供給するバッファット手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項7】 請求項4至請求項6のいずれか一項に記載のマトリクス型表示駆動装置において、前記書込み読み出し手段は、前記記憶手段から読み出した表示データと前記マトリクス表示体の走査電極の電圧状態とから前記信号電極に印加すべき信号電圧を割り出す信号電圧状態割り付け手段を有することを特徴とするマトリクス型表示駆動装置。

【請求項8】 請求項7に記載のマトリクス型表示駆動装置において、前記信号電圧割り付け手段は、前記記憶手段から複数の走査ライン分の表示データを時分割で読み出す手段と、読み出された表示データを相互に待ち合わせる一時記憶手段と、前記マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項9】 請求項7に記載のマトリクス型表示駆動装置において、前記記憶手段は、1行アドレスに対し前記マトリクス表示体の複数の走査ライン分の表示データを格納するメモリ配列を有しており、前記信号電圧状態割り付け手段は、前記複数の走査ライン分の表示データを一挙に読み出す手段と、前記マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有することを特徴とするマトリクス型表示駆動装置。

【請求項10】 請求項7乃至請求項9のいずれか一項に記載のマトリクス型表示駆動装置において、複数本の走査ラインを同時に選択し、かつ前記同時に選択される走査ラインを1フレーム内に複数回に分けて選択することを特徴とするマトリクス型表示駆動装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】

【課題を解決するための手段】上記課題を解決するために、本発明の講じた手段は、従来のモジュール・コントローラ型の表示装置と、従来のフレームメモリ内蔵型の信号電極ドライバとを組合せた方式において、モジュール・コントローラのクロックの発振源を表示データの転送の際に間欠動作させるようにしたことに特徴を有する。即ち、本発明は、表示画素がマトリクス状に配列さ

れたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、第2の記憶手段から読み出される表示データに基づき前記マトリクス表示体を駆動する駆動手段とを有するマトリクス型表示装置において、第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の発振手段と、発振手段からのクロックを用いて前記第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段とを有することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】また、本発明に係るマトリクス型表示制御装置は、第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の発振手段と、この発振手段からのクロックを用いて第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段とを有することを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】上記構成とは別に、本発明は、表示画素がマトリクス状に配列されたマトリクス型表示体と、表示データを記憶する第1の記憶手段と、表示画素の少なくとも一部に対応する表示データを記憶する第2の記憶手段と、第2の記憶手段から読み出される表示データに基づきマトリクス表示体を駆動する駆動手段とを有するマトリクス型表示装置において、第1の記憶手段に記憶された表示データの変更により発振する間欠動作型の第1の発振手段と、第1の発振手段よりも低周波数で発振する第2の発振手段と、第1の発振手段からのクロックを用いて第1の記憶手段から前記変更に係る表示データを読み出して第2の記憶手段へ転送する表示データ転送手段と、第2の発振手段からのクロックを用いてマトリクス表示体を駆動するためのタイミング信号を生成するタイミング信号発生手段とを有することを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】更に、本発明は、マトリクス型表示体の表示画素の少なくとも一部に対応する表示データを記憶する随時書き込み読み出し可能な記憶手段を有し、この記憶手段から表示データを読み出しまトリクス表示体の信号

(3)

3

電極に駆動電圧を印加するマトリクス型表示駆動装置において、1走査期間毎に受け取る周期信号を基に1走査期間でタイミングをずらした書き込み制御信号及び読み出し制御信号を生成するタイミング発生手段と、記憶手段の同一行アドレスに対する読み出し制御信号により読み出し動作を実行した後、書き込み制御信号により書き込み動作を実行する書き込み読み出し手段とを有することを特徴とする。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】ここで、表示データの転送に用いられるクロックの停止を検出するクロック検出手段と、このクロック検出手段の検出信号に基づいて書き込み制御信号の発生を停止させる書き込み禁止制御手段とを有することが望ましい。斯かる場合、書き込み読み出し手段は、入力される表示データを前記クロックを用いて少なくとも1走査ライン分格納する一時格納手段と、この一時格納手段の格納表示データを前記クロックの1周期以上の長い信号により記憶手段に書き込み供給するバッファップ手段とを設けることが望ましい。そして、書き込み読み出し手段としては、記憶手段から読み出した表示データとマトリクス表示体の走査電極の電圧状態とから信号電極に印加すべ

き信号電圧を割り出す信号電圧状態割り付け手段を有する。この信号電圧割り付け手段としては、記憶手段から複数の走査ライン分の表示データを時分割で読み出す手段と、読み出された表示データを相互に待ち合わせる一時記憶手段と、マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有する。記憶手段としては、1行アドレスに対し前記マトリクス表示体の複数の走査ライン分の表示データを格納するメモリ配列を有しており、信号電圧状態割り付け手段としては、複数の走査ライン分の表示データを一挙に読み出す手段と、マトリクス表示体の走査電極の電圧状態を指定する走査状態指定手段と、読み出された複数の走査ライン分の表示データと走査電極の選択電圧状態とから駆動電圧を選択する電圧選択手段とを有する。

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】また、マトリクス型表示駆動装置としては、複数本の走査ラインを同時に選択し、かつ前記同時に選択される走査ラインを1フレーム内に複数回に分けて選択することを特徴とする。

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-130910

(43)Date of publication of application : 13.05.1994

(51)Int.CI.

G09G 3/20  
G02F 1/133  
G09G 3/36

(21)Application number : 05-152533

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.06.1993

(72)Inventor : IMAMURA YOICHI

(30)Priority

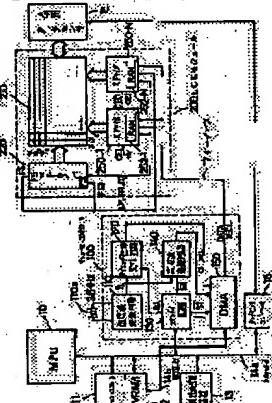
Priority number : 04179997 Priority date : 07.07.1992 Priority country : JP

## (54) MATRIX TYPE DISPLAY DEVICE, MATRIX TYPE DISPLAY CONTROLLER, AND MATRIX TYPE DISPLAY DRIVING DEVICE

### (57)Abstract:

**PURPOSE:** To provide the matrix type display controller which has the display data transfer system improved and has a low power consumption and is adapted to large capacity display.

**CONSTITUTION:** A module controller 100 is provided with a low frequency oscillating circuit 110, a timing signal generating circuit 120 which generates a scan start signal YD or the like based on a low frequency clock fL of this circuit 110, a standby circuit 130 which monitors communication to a host MPU 10 and a system bus 14a and generates an intermittent operation start control signal ST for update of display data in a VRAM 12, a high frequency oscillating circuit 140 which generates a high frequency clock whose phase is synchronized with that of the low frequency clock fL, and a DMA circuit 150 which reads out display data from the VRAM 12 through a private bus 14b by direct memory access and transfers it to frame memories 252 of X drivers 250-1 to 250-N through a data bus 17.



### LEGAL STATUS

[Date of request for examination] 21.06.2000

[Date of sending the examiner's decision of rejection] 06.04.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3582082

[Date of registration] 06.08.2004

[Number of appeal against examiner's decision of rejection] 2004-09545

[Date of requesting appeal against examiner's decision of rejection] 06.05.2004

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The matrix mold display object with which the display pixel was arranged in the shape of a matrix, and 1st storage means in which write-in read-out is possible at any time to memorize an indicative data, 2nd storage means in which write-in read-out is possible at any time to memorize the indicative data corresponding to this a part of display pixel [ at least ], In the matrix mold display which has the signal-electrode driving means which reads an indicative data from the 2nd storage means, and impresses driver voltage to the signal electrode of said matrix display object An intermittent-control-action mold RF oscillation means to oscillate by modification of the indicative data memorized by said 1st storage means, The matrix mold display characterized by having an indicative-data transfer means to read the indicative data which starts said modification from said 1st storage means using the RF clock from this intermittent-control-action mold RF oscillation means, and to transmit this and said RF clock to said 2nd storage means side.

[Claim 2] The matrix mold display control characterized by to have an intermittent-control-action mold RF oscillation means to oscillate by modification of the indicative data memorized by the 1st storage means, and an indicative-data transfer means read the indicative data which starts said modification from said 1st storage means using the RF clock from this intermittent-control-action mold RF oscillation means, and transmit this and said RF clock to a 2nd storage means side.

[Claim 3] A low frequency oscillation means to always oscillate a low frequency clock, and a timing signal generating means to generate a necessary timing signal based on the low frequency clock from this low frequency oscillation means, A renewal detection means of an indicative data to generate an intermittent-control-action control signal by modification of the indicative data memorized by the 1st storage means, An intermittent-control-action mold RF oscillation means to oscillate with this intermittent-control-action control signal, The matrix mold display control characterized by having an indicative-data transfer means to read the indicative data which starts said modification from said 1st storage means using the RF clock from this intermittent-control-action mold RF oscillation means, and to transmit this and said RF clock to a 2nd storage means side.

[Claim 4] It has 2nd storage means in which write-in read-out is possible at any time to memorize the indicative data corresponding to a part of display pixel [ at least ] of a matrix mold display object. In the matrix mold display driving gear which reads an indicative data from the 2nd storage means, and impresses driver voltage to the signal electrode of said matrix display object A timing generating means to generate the write-in control signal and read-out control signal which shifted timing in one scan period based on the periodic signal received for every scan period, The matrix mold display driving gear characterized by having a write-in read-out means to perform write-in actuation with the account of back to front write-in control signal which performed read-out actuation with the read-out control signal over the same line address of said 2nd storage means.

[Claim 5] The matrix mold display driving gear characterized by having a clock detection means to detect a halt of the high-frequency clock used for a transfer of said indicative data of operation in a matrix mold display driving gear according to claim 4, and having the write-inhibit control means which prevents generating of said write-in control signal by this detecting signal.

[Claim 6] It is the matrix mold display driving gear characterized by having a temporary storage means to store at least the indicative data which carries out Iriki of said write-in read-out means in a matrix mold display driving gear according to claim 5 by 1 scan line, using said high-frequency clock one by one, and the BAFFATSU means which carries out write-in supply of the storing indicative data of this temporary storage means at said 2nd storage means with the long signal of one or more periods of said high frequency clock.

[Claim 7] It is the matrix mold display driving gear characterized by having a signal-level condition allotment means to deduce the signal level which should be impressed to said signal electrode from the indicative data which read the write-in read-out means from said 2nd storage means in the matrix mold display driving gear given in any 1 term of claim 4 \*\*\*\*\* 6, and the electrical-potential-difference condition of the scan electrode of said matrix display object.

[Claim 8] In a matrix mold display driving gear according to claim 7 said signal-level allotment means The means which reads two or more indicative datas for a scan line by time sharing from said 2nd storage means, A temporary storage means to wait the read indicative data mutually, and a scan condition assignment means to specify the electrical-potential-difference condition of the scan electrode of said matrix display object, The matrix mold display driving gear characterized by having a voltage selection means to choose driver voltage from two or more indicative datas for a scan line and the selection electrical-potential-difference condition of a scan electrode which were read.

[Claim 9] In a matrix mold display driving gear according to claim 7 said 2nd storage means It has the memory array which stores two or more indicative datas for a scan line of said matrix display object to 1 line address. Said signal-level condition allotment means The means which reads said two or more indicative datas for a scan line at once, and a scan condition assignment means to specify the electrical-potential-difference condition of the scan electrode of said matrix display object, The matrix mold display driving gear characterized by having a voltage selection means to choose driver voltage from two or more indicative datas for a scan line and the selection electrical-potential-difference condition of a scan electrode which were read.

[Claim 10] The matrix mold display driving gear characterized by having the means which chooses two or more scan electrodes as coincidence, and carries out the round scan of multiple times into the period of a frame start signal in the matrix mold display driving gear which chooses and drives the scan electrode of a matrix mold display object.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Industrial Application] This invention mainly relates to amelioration of a matrix mold display device module controller and a signal-electrode driver circuit in more detail about matrix mold indicating equipments, such as a suitable liquid crystal display to adopt two or more line coincidence selection

drive method.

[0002]

[Description of the Prior Art] In the simple matrix liquid crystal display as an example of a former and flat display As a method which transmits an indicative data to LCD modules (a liquid crystal display panel (LCD panel), a scan electrode drive circuit (Y driver), signal-electrode drive circuit (X driver), etc.) from the MPU (microprocessor unit) side It can divide roughly into the method using a matrix mold liquid crystal display component module controller (henceforth a module controller), and the method using a RAM (read-only memory) built-in X driver. First, the former method reads an indicative data from the Video RAM (VRAM) the module controller connected with a system bus like the indicating equipment which used CRT has remembered the indicative data to be, transmits this with the clock of high frequency to a LCD module, and display refresh actuation is performed. The latter method has the frame memory (built-in RAM) of two port types in X driver, and through a data bus, a control bus, or an address bus, liquid crystal display timing accesses a direct frame memory independently, and MPU changes the indicative data in a frame memory, generates a control signal necessary within X driver, reads the indicative data for 1 scan line from a built-in frame memory to coincidence, and performs display refresh actuation.

[0003]

[Problem(s) to be Solved by the Invention] In the former method, since read-out from VRAM and a transfer are performed according to the liquid crystal display timing whenever it changes the display screen, it is necessary to always operate VRAM, a module controller, and a liquid crystal driver by the high-frequency clock. Moreover, the circuit related to display refresh actuation covers VRAM, a module controller, and a liquid crystal driver. According to actuation of the large-scale circuit in this high-frequency clock, a penetration current etc. arises in CMOS of a large number which constitute a circuit element, and it leads to increase of power consumption, and if a large-sized LCD panel is used, it will increase so much. Moreover, although there are access of MPU and module Comte Lara's access to VRAM, while a high-speed clock must be used so that access of MPU at the time of display refresh actuation may not collide with access of MPU, and low frequency actuation-ization of a module controller has constraint, constraint is attached also to a MPU throughput. In the latter method, since a transfer of an indicative data is performed regardless of liquid crystal display timing, actuation with a low frequency clock is possible, and it ends with power consumption low figures double [ 1-] compared with the former method. By the way, although it is necessary to increase the number of X driver when using a large-sized liquid crystal panel By the internal memory (RAM) of X driver having the independent address space in itself, and generally describing the number of output terminals of X driver two, since it is multiples of 10, such as for example, 160 pins instead of \*\*\*\* (2n) When the internal memory of two or more X drivers is seen from the MPU side, a discrete opening arises in the address of the whole internal memory, and the continuity of the address is not secured in many cases. For this reason, when changing the whole display screen, such as scrolling actuation and panning actuation, into coincidence, it will be obliged to the need of processing address-mapping attachment by the MPU side at high speed, and MPU will be forced a big processing burden. Of course, although it can design so that the number of output pins of X driver IC may be described two and it may be made \*\*\*\*, adjustment with the number of electrodes of the existing liquid crystal panel collapses, and the compatibility of a system is spoiled remarkably. Moreover, if many X drivers are used, numbers, such as a chip select line, must increase inevitably, must secure that much the tooth space of X driver of a large number allotted around a liquid crystal panel, will cause the fall of the screen product ratio of a panel, and will become the failure of a miniaturization of a LCD module. Therefore, the latter method is unsuitable for applying to a large-scale liquid crystal panel.

[0004] Then, though it is a low power when this invention improves the transmittal mode of an indicative data in view of each above-mentioned trouble, it is in offering the matrix mold display control, matrix mold display driving gear, and matrix mold display suitable for a mass display.

[0005]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the means which this invention provided has the description in the method which combined the indicating equipment of the conventional module controller mold, and the conventional frame memory built-in signal-electrode driver for it to have been made to carry out the intermittent control action of the source of an oscillation of the high frequency clock of a module controller on the occasion of a transfer of an indicative data. Namely, the matrix mold display object with which, as for this invention, the display pixel was arranged in the shape of a matrix, 1st storage means in which write-in read-out is possible at any time to memorize an indicative data, 2nd storage means in which write-in read-out is possible at any time to memorize the indicative data corresponding to a part of display pixel [at least]. In the matrix mold display which has the signal-electrode driving means which reads an indicative data from the 2nd storage means, and impresses driver voltage to the signal electrode of a matrix display object An intermittent-control-action mold RF oscillation means to oscillate a matrix mold display control by modification of the indicative data memorized by the 1st storage means, The indicative data which starts said modification from the 1st storage means using the high frequency clock from an intermittent-control-action mold high frequency oscillation means is read, and it has the description at the point constituted from this and an indicative-data transfer means to transmit a high frequency clock to said 2nd storage means side. The concrete configuration of this matrix mold display control A low frequency oscillation means to always oscillate a low frequency clock, and a timing signal generating means to generate a necessary timing signal based on the low frequency clock from a low frequency oscillation means, A renewal detection means of an indicative data to generate an intermittent-control-action control signal by modification of the indicative data memorized by the 1st storage means, An intermittent-control-action mold RF oscillation means to oscillate with an intermittent-control-action control signal, The indicative data which starts modification from the 1st storage means using the high frequency clock from an intermittent-control-action mold high frequency oscillation means is read, and it has this and an indicative-data transfer means to transmit a high frequency clock to a 2nd storage means side.

[0006] In the indicating equipment which has such a matrix mold display control, it has 2nd storage means in which write-in read-out is possible at any time to memorize the indicative data corresponding to a part of display pixel [at least]. As a matrix mold display driving gear which reads an indicative data from the 2nd storage means, and impresses driver voltage to the signal electrode of a matrix display object A timing generating means to generate the write-in control signal and read-out control signal which shifted timing in one scan period based on the periodic signal received for every scan period, It has a write-in read-out means to perform write-in actuation with the trailer lump control signal which performed read-out actuation with the read-out control signal over the same line address of the 2nd storage means.

[0007] And in such a matrix mold display driving gear, it is desirable to have a clock detection means to detect a halt of the high-frequency clock used for a transfer of an indicative data of operation, and to have the write-inhibit control means which prevents generating of a write-in control signal by this detecting signal.

[0008] Moreover, as for the write-in read-out means of a matrix mold display driving gear, it is desirable to have a temporary storage means to store at least the indicative data which carries out Iriki by 1 scan line, using a high-frequency clock one by one, and the BAFFATSU means which carries out write-in supply of the storing indicative data of a temporary storage means at the 2nd storage means with the long signal of one or more periods of a high frequency clock.

[0009] In the matrix mold display driving gear which adopts two or more line coincidence selection drive method, it is necessary for a write-in read-out means to have a signal-level condition allotment means to deduce the signal level which should be impressed to a signal electrode from the indicative data and the electrical-potential-difference condition of the scan electrode of a matrix display object which were

read from the 2nd storage means. As an example of the configuration of a concrete signal-level allotment means The means which reads two or more indicative datas for a scan line by time sharing from the 2nd storage means, A temporary storage means to wait the read indicative data mutually, and a scan condition assignment means to specify the electrical-potential-difference condition of the scan electrode of a matrix display object, It has a number judging means of inequalities to judge the number of inequalities of the two or more indicative datas for a scan line and the selection electrical-potential-difference condition of a scan electrode which were read, and a voltage selection means to choose the signal level according to the number of inequalities. Moreover, it sets to another matrix mold display driving gear which adopts two or more coincidence selection drive method. A means by which have the memory array in which the 2nd storage means stores two or more indicative datas for a scan line of a matrix display object to 1 line address, and a signal-level condition allotment means reads two or more indicative datas for a scan line at once, The configuration which has a scan condition assignment means to specify the electrical-potential-difference condition of the scan electrode of a matrix display object, and a voltage selection means to choose driver voltage from two or more indicative datas for a scan line and the selection electrical-potential-difference condition of a scan electrode which were read is employable.

[0010] Moreover, as a configuration suitable for equal distributed two or more Rhine coincidence selection drive in the scan electrode side driving gear which adopts two or more line coincidence selection drive method, this invention is characterized by having the means which chooses two or more scan electrodes as coincidence, and carries out the round scan of multiple times into the period of a frame start signal.

[0011]

[Function] According to such a matrix mold display control, since a high frequency clock operates and an indicative data is transmitted to the 2nd storage means only when there is modification of an indicative data in the 1st storage means, low-power-ization can be attained by the intermittent control action of a high-frequency clock. Moreover, since it is what the matrix display control unit MPU stands on agency rather than performs transfer processing to the 2nd storage means performs, while being able to reduce the processing burden of the host MPU by the side of the 1st storage means Furthermore, by carrying out cascade connection of the driving gear of a signal electrode, without being conscious of the room by the side of a driver, it comes to be able to perform a transfer of an indicative data to compensate for the configuration of a matrix mold display object, and easy-ization of matching of the address can also be attained. And since the indicative data for every scan line is stored in the 2nd storage means at once, improvement in the speed of screen modification can be attained. Furthermore, a mass indicating equipment can also control the number of connection of a matrix mold display control and a driving gear (for example, number of a chip select line) by the cascade connection of the driving gear of a signal electrode, and an indicating equipment with the big rate of display screen surface ratio can be realized.

[0012] moreover, the timing which divided one scan period without using a high-speed clock in a signal-electrode driver — the 2nd storage means — allowances — with, it is made to have accessed

[0013] For this reason, since the access timing to the 2nd storage means is eased as compared with the former, the write-in force can be raised and—izing of the size of the configuration transistor of the 2nd storage means can be carried out [ \*\*\*\* ]. It contributes also to the miniaturization of the chip size of a driver.

[0014]

[Example] Next, the example of this invention is explained based on an accompanying drawing.

[0015] [Explanation of a whole configuration] Drawing 1 is the block diagram showing the whole simple matrix liquid crystal indicating—equipment configuration concerning the example of this invention. With the host MPU 10 by whom this simple matrix liquid crystal display was programmed The system memory 11 used as the working memory of this MPU10, and Video RAM 12 which stores an indicative data in the

same address space as a system memory 11 (VRAM). The auxiliary storage unit 13 which memorizes an image, data, speech information, etc., and the module controller 100 connected with system bus 14a and dedicated-bus 14b, It has the LCD module 200 by which a display control is carried out by this module controller 100, the touch sensor 15 for an input, and the touch sensor controller 16. In addition, peripheral devices, such as a communication controller and other displays, are connectable with system bus 14a like the conventional computer system if needed. The LCD module 200 has the simple matrix liquid crystal display panel (LCD panel) 210, two or more scan electrodes Y1 of the LCD panel 210 and the scan electrode drive circuit (Y driver IC) 220 which chooses Y2 —, the frame memory (RAM) built-in signal-electrode drive circuit (X driver IC) 250-1 of N individual which supplies an indicative data to two or more signal electrodes of the LCD panel 210 – 250-N.

[0016] [Explanation of a module controller] the module controller 100 It has vibrator 110a about 32kHz – 512KHz, and is the low frequency clock fL. The always oscillated low frequency oscillator circuit 110, The low frequency clock fL The timing signal generating circuit 120 which generates the Rhine latch signal LP (latch pulse) for serial/parallel conversion of required scan start signal (frame start pulse) YD and a transfer indicative data, the liquid crystal alternating current-ized signal FR, etc. on a radical at the LCD module 200, When intermittent-control-action directions information is directly received from a host MPU 10, or when it supervises the communication link with a host MPU 10, and system bus 14a and there is renewal of the indicative data in VRAM12 The standby circuit 130 which creates the intermittent-control-action initiation control signal ST (bar) (renewal detector of an indicative data), It sets at the impression period of the intermittent-control-action initiation control signal ST (bar), and is the low frequency clock fL. High-frequency clock fH which carries out phase simulation The RF oscillator circuit 140 to create, It sets at the impression period of the intermittent-control-action initiation control signal ST (bar), and is the high frequency clock fH. Use and an indicative data is read from VRAM12 by the Direct-Memory-Access method through dedicated-bus 14b. The indicative data is changed into the number of bits of a data bus 17, or a format. It has the Direct-Memory-Access (DMA) circuit 150 which transmits an indicative data to the frame memory 252-1 of the X driver 250-1 – 250-N – 252-N through the data bus 17.

[0017] The timing signal generating circuit 120 is the low frequency clock fL, as shown in drawing 2. The counting-down circuit 121 which generates the latch pulse (Rhine latch signal) LP of two shots within 1-level period on a radical, The perpendicular counter 122 which generates the line address signal RA and the frame start pulse YD for carrying out counting of the latch pulse LP, and specifying the sequence (line address) of a scan electrode, It has the frame counter 123 which generates the liquid crystal alternating current-ized signal FR based on the frame start pulse YD and the predetermined counted value of the perpendicular counter 122. The standby circuit 130 The system bus interface circuitry 131, The Rhine flag register 132 a transfer directions flag stands by MPU10 when MPU10 adds modification of an indicative data to the applicable field of the frame memory of X driver among VRAMs12, It has the comparator circuit 133 which judges coincidence/inequality of the address of a scan electrode and line address RA the transfer directions flag stood, and generates the coincidence signal j, and the coincidence signal j, and the synchronizing circuit 134 which generates the latch pulse LP to the intermittent-control-action initiation control signal ST (bar). Here, the occurrences within 1-level period (1H) of the latch pulse LP are two shots by adoption of the two-line coincidence selection drive method mentioned later. The synchronizing circuit 134 consists of inverter 134a which reverses the latch pulse LP, D-type-flip-flop 134b which generates the coincidence signal which synchronized with falling of the latch pulse LP, and AND gate 134c which limits the pulse width of the synchronous coincidence signal to the period of the latch pulse LP, and is made into the intermittent-control-action initiation control signal ST (bar). In addition, the read-out start address to VRAM12 is beforehand set by the host MPU 10.

[0018] AND gate 141 to which the high frequency oscillator circuit 140 creates the oscillation control signal CT from the intermittent-control-action initiation control signal ST (bar) and the intermittent-

control-action termination control signal CA (bar) mentioned later, Variable frequency CR oscillator 142 of the RF which carries out an intermittent oscillation with the oscillation control signal CT, RF clock  $f_H$  obtained with variable frequency CR oscillator 142 of this RF. The intermittent-control-action timing circuit 143 which carries out counting, creates the intermittent-control-action termination control signal CA (bar), and limits an intermittent-control-action period. The high frequency clock  $f_H$ . It has AND gate 144 which creates the shift clock SCL for shift register storing of an indicative data from the intermittent-control-action termination control signal CA (bar). Variable frequency CR oscillator 142 — AND gate 142a, Inverters 142b and 142c, and feedback resistors R1, R2, and R3. And feedback capacitor C1 from — becoming CR oscillation section and resistance selecting switches SW1, SW2, and SW3 a time constant is set by the resistance selecting switches SW1, SW2, SW3, and MPU10, and corresponding to it. It has switch selection register 142d which performs the combination of closing motion. They are the resistance selecting switches SW1, SW2, and SW3 by the this switch selection register 142d contents. Since the feedback resistor (time constant) which contributes to CR oscillation section by changing the combination of closing motion changes, it is the oscillation frequency  $f_H$  of CR oscillation section. It has come to be able to carry out adjustable [ of the value ]. The intermittent-control-action timing circuit 143 is the high frequency clock  $f_H$ . Inverter 143a which carries out a reversal buffer, Only the high-level period of the intermittent-control-action termination control signal CA (bar) is a high-frequency clock  $f_H$ . AND gate 143b which makes it pass, High frequency clock  $f_H$  from AND gate 143b Preset counter 143c which considers as clocked into through inverter 143e, and is reset in falling of the intermittent-control-action initiation control signal ST (bar), Number register of clocks 143d which can set the number of the high-speed clocks SCL (XSCL) required for a transfer of the indicative data for 1 scan line from MPU10, It has inverter 143f which reverses the carry output CA of preset counter 143c, and creates the intermittent-control-action termination control signal CA (bar). [0019] The Direct-Memory-Access (DMA) circuit 150 While reading using the high-speed clock SCL with the coincidence signal j from the standby circuit 130 and outputting Clock RSK to dedicated-bus 14b The Direct-Memory-Access (DMA) control circuit 151 which sends the flag address signal concerned and a flag reset signal to the Rhine flag register 132, Read the indicative data of the rewriting address in VRAM12 through dedicated-bus 14b with the read-out clock RSK, and it incorporates as data SD. The read-out data SD is changed into the number of bits of a data bus 17, or a format using the shift clock SCL. It has the data-conversion circuit 152 which transmits the shift clock XSCK equal to the frequency of obtained indicative-data DATA and Clock SCL to the X driver 250-1 - 250-N through a data bus 17.

[0020] Next, it explains, referring to drawing 3 about actuation of the module controller 100. Among the module controllers 100, since it has the frame memory 252-1 - 252-N which store indicative-data DATA to which the X driver 250-1 - 250-N are transmitted, the low frequency oscillator circuit 110 and the timing signal generating circuit 120 do not always need to operate, and although it is always operating, when the indicative data in VRAM12 is changed so that it may mention later, they carry out the intermittent control action of the RF oscillator circuit 140. The low frequency oscillator circuit 110 is the low frequency clock  $f_L$ . Carrying out firm output, the counting-down circuit 121 of the timing signal generating circuit 120 is the low frequency clock  $f_L$ . Dividing is carried out by the predetermined division ratio, and the latch pulse LP is generated. Generating the latch pulse LP twice in 1 level period (1H), in the monochrome display of 640x480 dots, the frequency is a maximum of 32kHz - about 80kHz. The perpendicular counter 122 carries out counting of the latch pulse LP, and generates the line address signal RA and the frame start pulse YD, and the frame counter 123 carries out counting of the frame start pulse YD, and creates the liquid crystal alternating current-ized signal FR. Thus, in this example, the timing signal (the latch pulse LP, the scan start signal YD, and the liquid crystal alternating current-ized signal FR) of low frequency required of the LCD module 200 side is created in the timing signal generating circuit 120.

[0021] In case it indicates by gradation by the time of on the whole MPU10 changing the indicative data

of VRAM12 at the time of refresh actuation, or the inter-frame length method, when changing partially, MPU10 sets a transfer directions flag to the applicable address of the Rhine flag register 132 through a system bus 14 and an interface 131. On the other hand, since it is updated from the perpendicular counter 122 whenever the line address signal RA is generating of the latch pulse LP, if the flag address and the line address signal RA which stood as for the transfer directions flag are in agreement, the coincidence signal j will occur from a comparator circuit 133. As this coincidence signal j is inputted into the synchronizing circuit 134 and shown in drawing 3, it synchronizes with falling of the latch pulse LP, and the intermittent-control-action initiation control signal ST of the period of 1 level period (bar) starts. If the intermittent-control-action initiation control signal ST (bar) starts — the output of AND gate 141 — the oscillation control signal CT — starting — AND gate 142a of the first rank of CR oscillation section — since an input serves as a high level on the other hand — CR oscillation section — resistance selecting-switch SW1 — SW1 the high frequency according to the feedback time constant specified in closing motion combination — oscillation clock fH It begins to generate. Oscillation clock fH It is outputted to preset counter 143c as a clock SCL from AND gate 144 with supply \*\*\*\* through inverter 143a, AND gate 143b, and inverter 134e. This clock SCL is a high frequency clock, and is used for the read in of the indicative data of the DMA circuit 150, and a transfer. If counted value reaches the number of clocks specified by number register of clocks 143d, the carry output CA of a high level will be taken out, and although preset counter 143c is reset in falling of the intermittent-control-action initiation control signal ST (bar) and the carry output CA is set to a low, as the reversal signal slack intermittent-control-action termination control signal CA (bar) shows drawing 3, it will fall. If the intermittent-control-action termination control signal CA (bar) falls, the oscillation control signal CT will fall and, thereby, oscillation actuation of variable frequency CR oscillator 142 will be stopped. Thus, variable frequency CR oscillator 142 is the high-frequency clock fH of the number of clocks required for a transfer of the indicative data for 1 scan line as which only the period when the starting point and a terminal point were limited with the intermittent-control-action initiation control signal ST (bar) and the intermittent-control-action termination control signal CA (bar) carries out oscillation actuation intermittently, and is specified by number register of clocks 143d. It generates. By this, when there is no modification of an indicative data, unnecessary oscillation actuation of variable frequency CR oscillator 142 can be canceled, and it will contribute to reduction of power consumption.

[0022] On the other hand, in the DMA circuit 150, if the coincidence signal j is outputted from the comparator circuit 133 of the standby circuit 130, the DMA control circuit 151 will be read using the high-speed clock SCL, and will output Clock RSK to dedicated bus 14b. It reads, as the indicative data (new data) of the rewriting address in VRAM12 shows by this drawing 3, and it is incorporated as data SD in the data-conversion circuit 152. It was incorporated and reads, and Data SD are changed into the number of bits of a data bus 17, or a format, and the shift clock XSCK equal to the frequency of indicative-data DATA and Clock SCK is transmitted to the X driver 250-1 — 250-N through a data bus 17. Moreover, the DMA control circuit 151 sends the flag address signal concerned and a flag reset signal to the Rhine flag register 132. The transfer directions flag in the flag address of the indicative data which was incorporated and was transmitted to the data-conversion circuit 152 by this is pushed down. And if the following line address signal RA occurs, with the following high-speed clock SCK, the above-mentioned actuation will be repeated and a transfer of indicative-data DATA for 2 scan lines will be completed in 1 level period. If indicative-data DATA for 1 scan line is transmitted, since the reversal signal CA of a carry signal (bar) will serve as a low, transfer operation is stopped temporarily. However, a display is not affected even if it controls actuation and a halt of the shift clock XSCL for every scan line, since a frame memory 252-1 — 252-N store transfer data in the X driver 250-1 — 250-N.

[0023] Thus, only when there is modification of the indicative data of VRAM12, the indicative data for every scan line can be made to transmit to a frame memory 252-1 — 252-N by having built the module controller 110 to which a frame memory 252-1 — 252-N are made to build in the X driver 250-1 — 250-N, and the intermittent control action of the high frequency oscillator circuit 140 is carried out. For this

reason, since regular actuation of the high frequency oscillator circuit 140 is lost, if there is no modification of an indicative data, it will become reducible [ large power consumption ]. Moreover, such intermittent control can respond, when already performing the gradation display of a well-known inter-frame length method, or also when performing little display of the animation display area to a screen, and its compatibility with a display system is also conventionally good. In addition, although the RF oscillator circuit 140 of the above-mentioned module controller 100 is constituted using variable frequency CR oscillator 142, the phase lock loop (PLL) which generates a high-frequency clock not only synchronizing with this but synchronizing with the latch pulse LP can be used for it. In this case, a high-frequency clock is taken out from the output of the voltage controlled oscillator of a phase lock loop. Furthermore, without making it build in the module controller 100, the high frequency oscillator circuit 140 can be constituted also so that it may be supplied from the external source of a high-frequency clock. Or if the module controller 100 is constituted on the same semiconductor integrated circuit as the hosts [ VRAM / MPU and / 12 ] 10, it can reduce connection wiring.

[0024] [Explanation of two or more line coincidence selection drive approach] Next, although it moves to the configuration of the X driver (signal-electrode drive circuit) 250, and the explanation about actuation The simple matrix liquid crystal display of this example is not the liquid crystal device drive approach by the conventional electrical-potential-difference equalizing method. Two or more so-called line coincidence selection which chooses two or more scan electrode as coincidence (Multiple Lines Selection) Since it is a thing based on the amelioration technique of the drive approach, The principle of two or more line coincidence selection which this invention makes the radical is first explained in order to make an understanding of configurations, such as X driver, easy.

[0025] The multiplexer drive approach by the electrical-potential-difference equalizing method When driving the liquid crystal device of a passive-matrix mold as shown in drawing 4 etc., generally they are the scan electrodes Y1 and Y2. — Yn While one line makes sequential selection at a time and impressing a scan electrical potential difference Each pixel on the scan electrode chosen is each signal electrodes X1 and X2 about the ON or signal-electrode [ be / off ] wave according to it. — Xm A liquid crystal device etc. is driven by impressing. The voltage waveform which drawing 5 shows an example of an applied-voltage wave at that time, and impresses this drawing (a) and (b) to the scan electrodes Y1 and Y2, respectively, and this drawing (c) are a signal electrode X1. The voltage waveform and this drawing (d) to impress are the scan electrode Y1. Signal electrode X1 The synthetic voltage waveform impressed to the crossing pixel is shown.

[0026] By the way, by the approach of one line making sequential selection at a time, and driving a scan electrode as mentioned above, driver voltage is comparatively high. Moreover, in an ON state, as shown in drawing 6 , while mist and a high electrical potential difference are built in an OFF state, since attenuation of an electrical potential difference is large, contrast is bad. Furthermore, when frame gradation is performed, there is fault, like a flicker is large.

[0027] Then, two or more so-called line coincidence selection which packs two or more scan electrodes of a book one by one, chooses as coincidence, and is driven in order to improve contrast and to control a flicker (Multiple Lines Selection) The drive approach is proposed (for example, 80 to A GENERALIZDADDERESSING TECHNIQUE FORRMS RESPONDING MATRIX LCDS.1988 INTERNATIONAL DISPLAY RESERCH CONFERENCE P85 reference).

[0028] Drawing 7 shows an example of an applied-voltage wave in the case of driving a liquid crystal device by two or more above-mentioned line coincidence selection drive approach. This example is three scan electrodes Y1, Y2, and Y3 to the beginning, when performing a pixel display as chosen three scan electrodes at a time as coincidence one by one, driven them and shown in drawing 4 . Coincidence selection is made and it is those scan electrodes Y1, Y2, and Y3. A scan electrical potential difference as shown, for example in (a) of drawing 7 , respectively is impressed.

[0029] subsequently, drawing 4 — setting — scan electrodes Y4, Y5, and Y6 choosing — those scan electrodes Y4, Y5, and Y6 for example, the thing which impresses the scan electrical-potential-

difference pattern of drawing 7 as shown in (b) -- it is — such coincidence selection — all scan electrodes Y1 and Y2 —Yn \*\*\*\*\* — it carries out one by one. Furthermore, with the following frame, potential is reversed and the alternating current-ized drive of liquid crystal is performed.

[0030] Although 1 scan electrode was chosen once as the one-frame period by the conventional electrical-potential-difference equalizing method, in two or more line coincidence selection, carry out equal distribution of the selection period into one frame in time, and can come, simultaneously it chooses by making a scan electrode into the group (block) of a specific number, maintaining the normal orthogonality of the scan selection approach, and distributes spatially. Here, "normal" means that all scan electrical potential differences have the same effective voltage value (amplitude value) in frame period. Moreover, "a rectangular cross" means being set to 0 in frame period, when the voltage swing given to a certain scan electrode carries out the sum of products of the voltage swing given to the scan electrode of other arbitration for every selection period. This normal orthogonality is a major premise for carrying out independently on-off control of each pixel in the passive-matrix mold LCD. For example, at the example of drawing 7, it is V1 at the time of selection. It is level "1"-V1 Determinant F3 for one frame when setting level to "-1" A non-selection period is [0031] when it omits and writes, since it is 0.

[Equation 1]

$$F_3 = \begin{bmatrix} 1 & 1 & -1 & 1 \\ 1 & -1 & 1 & 1 \\ -1 & 1 & 1 & 1 \end{bmatrix} = (f_{1,1}) \dots (1)$$

[0032] It comes out. For example, the orthogonality of the 1st line (Y1) and the 2nd line (Y2) is [0033].

[Equation 2]

$$\sum f_{1,1} \times f_{2,1} = 1 + (-1) + (-1) + 1 = 0 \dots (2)$$

[0034] It is verified. Since it becomes mathematical contents about an orthogonality, detailed explanation is omitted, but since a low-frequency component causes a flicker when driving liquid crystal, when making h coincidence selection, it is necessary to choose the necessary minimum matrix at which an orthogonality is maintained. The number of the need minimum distribution selections in one frame which is equivalent to the number of trains of the above-mentioned determinant (1) when making h coincidence selection generally is  $2n - 1 < h \leq 2n$ , when making n into the natural number. It becomes the value of  $2n$  to satisfy. For example, the number of distributed selections of the need minimum in 3 coincidence selection shown in drawing 8 is set to 4. Moreover,  $h=2n$  At the time, 1 selection-period deltat is equal to 1 selection time amount (1H) in the electrical-potential-difference equalizing method.

[0035] On the other hand, a signal side voltage waveform is decided according to an indicative data in one level out of the discrete voltage level of the number of level ( $h+1$ ). By the electrical-potential-difference equalizing method, as shown in drawing 5, since the signal-electrode (line) wave supported 1 to 1 to an one-line selection wave, it was what outputs one level from from between two voltage levels ON or corresponding to whether to be off. In h coincidence selection as shown in drawing 7, it is necessary to output an equivalent on-off voltage level to the line selection wave which became h group. This equivalent on-off voltage level is decided with the number C of inequalities of a signal-electrode side data pattern ( $S1j, S2j, \dots, Shj$ ) and the train pattern (scan electrode selection pattern) of a top Noriyuki train type, when an ON indicative data is set to "1" and it sets an off indicative data to "0."

[0036]

[Equation 3]

$$C = \sum_{j=1}^h (f_{1,j} \oplus S_{1,j}) \dots (3)$$

[0037] However, the place whose  $f_{1,1}$  is "1" by (1) formula is treated as "0" by the formula (3).

[0038] Here, C value takes the value from 0 to h. Since it is  $h=1$  in the case of the electrical-potential-difference equalizing method, C value is 0 to 1. Considering the case of a train pattern (1, 1, 1), in the example of drawing 7, a signal-electrode side data pattern and X driver output potential become as it is shown in Table 1.

[0039]

[Table 1]

不一致数	信号電極データパターン	データパターン数	Xドライバ出力電位
C = 0	(1, 1, 1)	1	-V <sub>3</sub>
C = 1	(0, 1, 1) (1, 0, 1) (1, 1, 0)	3	-V <sub>2</sub>
C = 2	(1, 0, 0) (0, 1, 0) (0, 0, 1)	3	V <sub>2</sub>
C = 3	(0, 0, 0)	1	V <sub>3</sub>

[0040] The number of data patterns to each number of inequalities shown in Table 1 is the same to every train. Therefore, if the train pattern was decided, from the number of inequalities, or a signal-electrode data pattern, the output potential of X driver can decode direct X driver output potential, and can be decided. Specifically, it becomes the signal-electrode voltage waveform shown in drawing 7 (c). Signal electrode X1 in drawing 4 Scan electrodes Y1, Y2, and Y3 The displays of a crossover pixel are 1 (ON), 1, and 0 (OFF) in order, and the potential values of the scan electrode in the first delta to this are 1 (V1), 1; and 0 (-V1) in order. therefore — since the number of inequalities is 0 — signal electrode X1 the output potential in the first delta — Table 1 to -V<sub>3</sub> it is . The output potential wave of a signal electrode is impressed to each pixel like the following. In addition, (d) of drawing 7 is the scan electrode Y1. Signal electrode X1 The voltage waveform Y1 impressed to the crossing pixel, i.e., a scan electrode, The voltage waveform and signal electrode X1 which are impressed It is a synthetic wave with the voltage waveform impressed.

[0041] As mentioned above, the technique of choosing the scan electrode of a book as coincidence and driving them one by one, has the advantage which can stop low the driver voltage by the side of X driver, after realizing the same ON/OFF ratio as the approach of the former of every one line shown in drawing 5 choosing, and driving. [ two or more ] For example, in 2.1V and duty ratio 1/240, the maximum driver voltage amplitude of X driver is about 8V about the threshold VTH of liquid crystal. It leads to this not constituting X driver as a high proof-pressure integrated circuit, being able to open the way of applying a semi-conductor manufacture process more detailed than a conventional method as it is, and being able to increase economically the number of bits with an X driver built-in [ RAM ].

[0042] these people — two or more above-mentioned line coincidence selection drive approach — Japanese Patent Application No. No. 143482 [ four to ] — with, it has already indicated. By this equal distributed two or more Rhine coincidence selection drive approach, it has the description in a matrix mold display to have prepared the drive circuit which chooses two or more scan electrodes of a book as coincidence one by one, and divides that selection period into multiple times in one frame, and impresses an electrical potential difference. Namely, selection is not made once (collecting period of hdelta) into one frame. Since a multiple-times electrical potential difference will be impressed to a certain pixel in one frame by driving so that the selection period may be divided into multiple times in one frame and an electrical potential difference may be impressed It becomes significant to the use of the liquid crystal panel of high-speed responsibility with especially little accumulation response effectiveness which brightness is maintained and can control the fall of contrast.

[0043] About this thing, as shown in drawing 8 , a non-selection period (period after a certain scan electrode is chosen until it is chosen as a degree) becomes short, and as for an ON state, more brightly, an OFF state becomes darker and can raise contrast so that clearly also from the comparison with drawing 6 in the conventional example. Moreover, a flicker can also be decreased. Thus, two or more improved line coincidence selection drive approach is put in block, and it outputs them dispersedly rather than outputs two or more pulse patterns of a scan electrode. In addition, the sequence of giving off the selection pulse of each selection period in this example is arbitrary, and can be suitably replaced in one frame. Moreover, although four train patterns were divided into 4 times per every \*\* in this example, it can also output in step plurality, for example, every 2 times [ 2 ].

[0044] Here, the talk will be returned to explanation of a driver, without going too far into explanation of two or more line coincidence selection drive approach. However, as mentioned above, the liquid crystal display of this example has adopted the equal distributed two or more Rhine coincidence selection drive approach, and though a driver is frame memory built-in, since it is controlled by the module controller 100, in the following explanation, a driver should understand that it must be a \*\*\*\* configuration at both

request.

[0045] [Explanation of a scan electrode drive circuit (Y driver)] Here, in two or more line coincidence selection drive approach of a driver explained below, the number of the scan electrodes kept to coincide selection is made into the minimum number ( $2$  [ i.e., ]) ( $h=2$ ), in order to understand the function of the circuit section easily. Therefore, as shown in drawing 9, only the number of  $21 = 2$  has the train pattern of a scan electrode wave. Moreover, it is made to be impressed by two scan electrodes which continued two different electrical-potential-difference pulse patterns, and one frame is constituted by the 2-fields (two vertical scannings). When the total of a scan electrode is made into  $120$ , the number of the blocks of two scan electrodes by which coincidence selection is made is  $60$ . And, after two kinds of pulse patterns are impressed first, by the time two kinds of pulse patterns from which a degree differs are impressed to a certain block ( $60-1$ ), there will be a non-selection period of  $\Delta t = 59\Delta t$ . One frame is completed by  $120\Delta t$ . However,  $\Delta t$  is one selection period (1.level period).

[0046] The Y driver 220 is a semiconductor integrated circuit which has the code generating section 221 which creates the train pattern for every field based on the frame start pulse YD, a latch pulse, etc., as shown in drawing 10. scan electrode  $Y_1 - Y_n$  of this example applied voltage — a selection period — setting —  $V_1$  Or  $-V_1$  it is — selection-control information [ as opposed to / in a non-selection period, are  $0V$ ; are that of a total of three level \*\*\*\*, and / the electrical-potential-difference selector 222 ] — each — scan electrode  $Y_1 - Y_n$  every — 2-bits is required. for this reason, the code generating section 221 for two or more line coincidence selection — the field — counting — 2-bit voltage selection codes D0 and D1 corresponding to the selection train pattern of the 1st field after initializing a counter (not shown) and the 1st and 2nd shift registers 223,224 by the frame start pulse YD. It transmits to the 1st shift register 223 and the 2nd shift register 224 for serial/parallel conversion. The 1st shift register 223 and the 2nd shift register 224 are 120 bit-shift registers corresponding to the number of a scan electrode, respectively, and the 2nd shift register 224 is [ the 1st shift register 223 ] the voltage selection code D1 of a high order bit about the voltage selection code D0 of a lower bit. It stores with the respectively same shift clock CK. The shift clock CK is what carried out  $1/2$  dividing of the latch pulse LP, and is generated by the timing generation circuit (not shown) of the code generating section 221. The code generating section 221 generates the code corresponding to a non-choosing pattern in the period from 2 clock eye of a latch pulse to the 1st field termination. Since there is not a 240-bit single shift register to the shift clock CK but the 120-bit shift register 223,224 of juxtaposition is formed to the shift clock CK, a shift register can be operated on a low frequency by the latch pulse LP, and low-power actuation is very possible for it.

[0047] Voltage selection codes D0 and D1 of each bit of the 1st shift register 223 and the 2nd shift register 224 It is shifted to a contiguity bit ignited by generating of the shift clock CK, and output maintenance only of the selection time amount  $\Delta t$  is carried out. The output of this shift register is supplied to a level shifter 226, and is changed into high logic amplitude level from that low logic amplitude level. Voltage selection codes D0 and D1 of the high logic amplitude level outputted from a level shifter 226 The decoder 227 as the wave formation section is supplied with the liquid crystal alternating current-sized signal FR by which the level conversion was carried out to coincidence, and a selection-control signal is generated. closing motion control of the electrical-potential-difference selector 222 is carried out by this selection-control signal — each — scan electrode  $Y_1 - Y_n$  applied voltage  $V = 1; 0;$  and  $-V_1$  Either is supplied.

[0048] in this example, as shown in drawing 10-(b), the cascade connection of two or more Y drivers 1 — the n can be carried out — as — the function of the code generating section 221 — the first rank — it is premised on changing using the selection terminal MS by the Y driver 1, the Y driver 2 after the next step — n, namely, the first rank — in the Y driver 1, after initialization by the above-mentioned frame start pulse YD, although it moves to the timing which generates a voltage selection code towards the two above-mentioned shift registers 223,224, since the selection terminal MS is a low input, it does not

move to the timing which generates a voltage selection code automatically after the next step. The Y driver 2 after the next step - n input the carry signal (FS) of the first rank from a FSI input terminal, turn a voltage selection code to the two above-mentioned registers 223,224 for the first time, and generate it. And the time of the carry signal (FS) from the Y driver n of the last stage being outputted is a time of the 1st field being completed. At this time, from a controller, since the start signal of the 2nd field does not come, it returns the carry signal (FS) of the Y driver n of the last stage to the FSI terminal of the Y driver 1 of the first rank, and FS terminal of X driver, and generates the voltage selection code of the 2nd field to the two above-mentioned shift registers 223,224. Then, it operates like the 1st field mentioned above, the 2nd field is ended, and it moves to actuation of the next field (the 1st field). The above function can ease constraint of the number of coincidence selection Rhine and the number of terminals of Y driver to a controller, and can use the frame start pulse YD of the same frequency as the case of the conventional electrical-potential-difference equalizing method, and the latch pulse LP.

[0049] [Explanation of a signal-electrode drive circuit (X driver)]. Both two or more X drivers 250-1 and - 250-N are the semiconductor integrated circuits of the same configuration, and as shown in drawing 1, cascade connection of these is mutually carried out through the chip enable output CEO and the chip enable input CEI. Unlike the conventional RAM built-in driver, neither of the X drivers 250 shared the system bus 14 linking directly to MPU10, but is only connected with the module controller 100 through the data bus 17. As shown in drawing 11, X drivers 250 each The chip enable control circuit 251 as an automatic power save circuit of active and a low, The timing circuit 253 which forms a necessary timing signal etc. based on the signal mainly supplied from the module controller 100, The data input control circuit 254 which incorporates indicative-data DATA transmitted from the module controller 100 ignited by generating of enable signal E, The input register 255 which stores indicative-data DATA for incorporation 1 scan line one by one whenever the shift clock XSCL falls indicative-data DATA (1 bit, 4 bits, or 8 bits), The write-in register 256 to which carries out the package latch of the indicative-data DATA for 1 scan line from an input register 255 by falling of the latch pulse LP, and the write time more than 1 shift clock XSCL is applied and which is written in the memory matrix of a frame memory (SRAM) 252, The line address register 257 which is initialized by the scan start signal YD and makes sequential selection of the line (word line) of a frame memory 252 at every impression of the write-in control signal WR or the read-out control signal RD, The signal pulse indexing circuit 258 which deduces the driver voltage information on the signal electrode which corresponds from the group of the indicative data from a frame memory 252, and the train pattern of a scan electrode, The level shifter 259 which changes the signal of the low logic amplitude level from the signal pulse indexing circuit 258 into the signal of high logic amplitude level, It is an electrical potential difference V2, M (for example, 0), and -V2 by the voltage selection code signal of the high logic amplitude level outputted from a level shifter 259. Either is chosen and they are each signal electrodes X1-Xn. It has the electrical-potential-difference selector 260 to impress.

[0050] The circuit part related to the chip enable control circuit 251 and it which perform power save of a driver chip unit can use the conventional technique. The chip enable control circuit 251 generates an internal enable signal so that only the chip which is chip enable may incorporate the shift clock XSCL and indicative-data DATA in a driver, and it controls actuation/halt of a timing circuit 253 and the data input control circuit 254. This control is repeated for every period of the latch pulse LP. That is, by the input of the latch pulse LP, while any driver chip with which the cascade of the interior of the chip enable control circuit 251 was carried out will be in a standby condition from a power save condition, the enabling output CEO is set to a high level. Here, it is determined according to the condition of the enabling input terminal CEI which driver chip to be enabling or whether to maintain a power save condition. That is, in the example of drawing 1, since the chip enable input CEI of the X driver 250-1 of the first rank is grounded (active), immediately, internal enable signal E will be in an active state, and incorporates the shift clock XSCL and indicative-data DATA inside. When the chip enable control circuit

251 takes the indicative data for the number of bits of an input register 255 and inputs the shift clock for several shift clock minutes required for \*\*, it makes the enabling output CEO a low from a high level. By this, the enable input CEI of the next step X driver 250-2 by which cascade connection was carried out serves as a low, and internal enabling [ of a next step driver / E ] becomes active immediately. the first rank of the above-mentioned [ the actuation after this ] — it is the same as actuation of a driver. Like the following, the chip enable input CEI of the X driver 250-3 after the 3rd step – 250-N serves as a low one by one, and the indicative data to the predetermined input register 255 is incorporated. Therefore, even if it carries out cascade connection of the X driver of N individual, since X driver which carries out incorporation actuation of an indicative data is always restricted to one piece, it can stop low the power consumption concerning incorporation actuation of an indicative data.

[0051] Like drawing 12 which omits a part of detail of the configuration of a timing circuit 253, and is shown AND gate 253a for incorporating the above-mentioned shift clock XSCL inside by the response of enable signal E, AND gate 253c which generates the preparation pulse of two shots for precharge in the period of 1 latch pulse based on the reversal pulse for which the latch pulse LP incorporated inside through NAND gate 253b by the response of enable signal E and the write-in control signal WR were delayed. The 1st one-shot multivibrator 253-1 which carries out a trigger to the standup of the output pulse of this AND gate 253c, and generates the precharge control signal PC of predetermined pulse width (precharge control signal generating circuit). Cascade connection is carried out to this. The 2nd one-shot multivibrator 253-2 which carries out a trigger to the standup of the reversal pulse for which the precharge control signal PC was delayed, and the reversal pulse of the latch pulse LP, and generates the write-in control signal WR of predetermined pulse width (write-in control signal generating circuit). Cascade connection is carried out to this. The 3rd one-shot multivibrator 253-3 which carries out a trigger to the standup of a reversal pulse by which the reversal pulse and the write-in control signal WR with which the precharge control signal PC was delayed were delayed, and generates the read-out control signal RD of predetermined pulse width (read-out control signal generating circuit). The shift clock detector 253-4 which is reset with the opposition clock through inverter 253d of the shift clock XSCL, and detects Iriki of the shift clock XSCL. It has AND gate 253-5 for write inhibits which passes and intercepts the write-in control signal WR from the 2nd one-shot multivibrator 253-2 by the shift clock detecting signal WE from the shift clock detector 253-4.

[0052] The 1st one-shot multivibrator 253-1 It is a node N1 by falling of the output of AND gate 253c. The flip-flop which consists of NAND gates 253e and 253f set to a high level, Node N1 253g of NAND gates, and inverter 253h which creates the precharge control signal PC of a high level when it is a high level, Delay circuit 253i which foresees the equivalent apparent signal delay in the circuit in a frame memory 252, is made, and is delayed in the precharge control signal PC. It has inverter 253j which reverses the precharge control signal PC and is added to the reset input of 253f of NAND gates. When the input of the set input terminal of NAND gate 253e falls in the 1st one-shot multivibrator 253-1, it is a node N1. When the time delay which the precharge control signal PC starts when it is set to a high level and the output of AND-gate 253c becomes subsequently to a high level, and is decided by delay circuit 253i after an appropriate time passes, the reset input of 253f of NAND gates falls, and it is a node N1. Since it is set to a low, the precharge control signal PC falls. Since the standup of the output of AND gate 253c is generated at the time of the standup of the latch pulse LP, and the standup of the delay signal of the write-in control signal WR mentioned later, the pulse of the precharge control signal PC is generated twice within the period of 1 latch pulse.

[0053] Since the 2nd and 3rd one-shot multivibrators 253-2,253-3 also have the almost same circuitry as the 1st one-shot multivibrator 253-1; the same reference mark has shown to the part of the same configuration at drawing 12. The 2nd one-shot multivibrator 253-2 is the delay reversal signal of the precharge control signal PC, the reversal signal of the latch pulse LP, and the node N2 of NAND gate 253e. It has delay circuit 253k which foresees the equivalent apparent signal delay in the circuit in 253g [ of NAND gates ] considered as three inputs, and a frame memory 252, is made, and is delayed in the

write-in control signal WR. Node N2 of NAND gate 253e When the time delay which the write-in control signal WR starts since the output of 253g [ of NAND gates ] ' falls by falling (standup of the beginning of the delay reversal signal of the precharge control signal PC) of the beginning of the precharge control signal PC, although set to a high level in falling of the reversal signal of the latch pulse LP, and is decided by delay circuit 253k after an appropriate time passes, the reset input of 253f of NAND gates falls, and it is a node N2. Since it is set to a low, the write-in control signal WR falls. Then, although the delay reversal signal of the precharge signal PC of the 2nd shot starts, it is a node N2. Since it is not yet set to a high level by falling of the latch pulse LP, the output of 253g [ of NAND gates ] ' is still a high level, and the pulse of the write-in control signal WR is [ that one pulse output is only carried out by falling of the first precharge control signal, and ] in the period of 1 latch pulse. The 3rd one-shot multivibrator 253-3 is the node N3 of the delay reversal signal of the precharge control signal PC, the delay reversal signal of the write-in control signal WR, and NAND gate 253e. It has 253m of delay circuits which foresee the equivalent apparent signal delay in the circuit in a frame memory 252 with 253g [ of NAND gates ] ' considered as three inputs, are made, and are delayed in the read-out control signal RD: node N3 of NAND gate 253e Since it is set to a high level in falling (standup of the write-in control signal WR) of the delay reversal signal of the write-in control signal WR generated after falling (standup of the beginning of the delay reversal signal of the precharge control signal PC) of the beginning of the precharge control signal PC the output of 253g [ of NAND gates ] ' falls by falling (standup of the beginning of the delay reversal signal of the precharge signal PC) of the beginning of the precharge control signal PC of the 2nd shot, and the read-out control signal RD starts -- things -- \*\* When the time delay decided after an appropriate time at 253m of delay circuits passes, the reset input of 253f of NAND gates falls, and it is a node N3. Since it is set to a low, the read-out control signal RD falls. The read-out control signal RD is [ that one pulse output of predetermined pulse width is only carried out by falling of the precharge control signal PC of the 2nd shot, and ] in the period of 1 latch pulse.

[0054] While the shift clock detector 253-4 sets the opposition clock of the shift clock XSCL to reset input R (bar) 253s of D type flip-flops which memorize touch-down potential (low) as a data reversal input D (bar) in the standup of the reversal clock of the latch pulse LP, It has 253t of D type flip-flops which memorize the reversal output Q of 253s of D type flip-flops (bar) as a data reversal input D (bar) in the standup of the reversal clock of the latch pulse LP. Although 253s of D type flip-flops is first reset by the pulse of the first shift clock XSCL and the Q (bar) output serves as a high level if there is Iriki of the shift clock XSCL Since touch-down potential is memorized as a data reversal input D (bar) by falling of the latch pulse LP by 253s of D type flip-flops, while the Q (bar) output changes to a low since 253t of D type flip-flops memorizes the data reversal input D of a high level (bar) — the Q (bar) — an output — the shift clock detecting signal WE serves as a high level. Iriki of the shift clock XSCL of the 2nd shot, then 253s of D type flip-flops are reset, and the Q (bar) output returns to a high level. Thus, since the shift clock detecting signal WE from 253t of D type flip-flops is a high level as long as Iriki of the shift clock XSCL continues, AND gate 253-5 is still switch-on, and the write-in control signal WR from the 2nd one-shot multivibrator 253-2 continues being outputted to a frame memory etc. On the other hand, if the latch pulse LP carries out Iriki with the condition that Iriki of the shift clock XSCL stopped and Q (bar) output of 253s of D type flip-flops was set as the low by the pulse of the last shift clock XSCL, since the shift clock detecting signal WE from 253t of D type flip-flops will be set to a low, a logic gate 253-5 closes and passage of the write-in control signal WR is forbidden.

[0055] Next, the circuitry which paid its attention to 250m of m bit circuit sections per one signal electrode (one output Xm) to the circumference circuit in the X driver 250, the signal pulse indexing circuit 258 from a frame memory 252, a level shifter 259, and the electrical-potential-difference selector 260 is explained, referring to drawing 13. odd number word line W<sub>2i-1</sub> in the memory matrix of a frame memory 252, and even number word line Wi a bit line BL<sub>m</sub> and an intersection with BL<sub>m</sub> (bar) — memory cell C<sub>2i-1</sub>, and m and C<sub>2</sub> — i and m it is — pixel P<sub>2i-1</sub>, and m and P<sub>2</sub> — i and m The

corresponding indicative data (on-off information) is stored. If the latch pulse LP occurs, since the precharge signal PC, the write-in control signal WR, or the read-out control signal RD will be generated from a timing circuit 253, in sequential assignment of the line address register 257, odd number word line W<sub>2i-1</sub> is chosen by the line address decoder in a frame memory 252, and writing about memory cell C<sub>2i-1</sub> and m or read-out is performed by the impression to a frame memory 252. Moreover, if the following latch pulse LP occurs, it is the even number word line W<sub>i</sub>. It is chosen and writing about memory cell C<sub>2i</sub> and m or read-out is performed. In addition, in read-out actuation, 252m of sense circuits is activity-ized by the read-out control signal RD, and an indicative data is outputted from a memory cell.

[0056] In the X driver 250 of this example, it is necessary to determine signal-electrode potential from the indicative data covering every 1 level period two lines, and the train pattern of a scan electrode for the sake of the convenience which has adopted a two-line coincidence selection drive method which was mentioned above. Parity Rhine discrimination decision circuit (Rhine sequence discrimination decision circuit in coincidence selection Rhine) 250a is prepared in the circumference circuit. This parity Rhine discrimination decision circuit 250a D-type-flip-flop 250aa which it is reset by the opposition pulse through inverter 250b of the frame start pulse YD, and the contents of storage reverse for every Iriki of the read-out control signal RD, the object for odd-line detection which considers the Q (bar) output and latch pulse LP as two inputs — the object for even-line detection which considers NAND gate 250ab, Q output of D-type-flip-flop 250aa, and the latch pulse LP as two inputs — it consists of NAND gate 250ac(s). If the odd-numbered latch pulse LP starts, the output LP 1 of NAND gate 250ab will fall, and an output LP 1 will start by falling of this odd-numbered latch pulse LP. Moreover, if the even-numbered latch pulse LP starts, the output LP 2 of NAND gate 250ac will fall, and an output LP 2 will start by the standup of this even-numbered latch pulse LP. Therefore, outputs LP1 and LP2 will be outputted by turns. Parity Rhine discrimination decision circuit 250a creates the latch pulses LP1 and LP2 for every parity Rhine from the latch pulse LP created in the module controller 100, grade.

[0057] In this example, since it is the equal distributed coincidence selection drive method of two lines as mentioned above, only the number of 21 = 2 has the electrical-potential-difference pulse pattern of a scan electrode, but since it is made to be impressed by two scan electrodes which continued two different train patterns, the 2 fields are required to develop the number of patterns. On the other hand, in order that the alternating current-ized signal FR may be reversed for every frame, when this is also taken into consideration, all train patterns will be developed in the 4 field. For this reason, field State circuit 250c which specifies the potential pattern of a scan electrode is prepared in the circumference circuit. In addition, the assignment information on this potential pattern can be received from the code generating section 221 by the side of a scan electrode driver, or module controller 100; without making it generate within X driver. D-type-flip-flop 250ca which this field State circuit 250c is reset by the opposition pulse of the frame start pulse YD, and the contents of storage reverse for every Iriki of the field initiation pulse FS, AND gate 250cb which considers the Q output and the alternating current-ized signal FR as two inputs, It consists of 250 cds of AND gates which consider the signal through inverter 250cc of Q (bar) output of D-type-flip-flop 250ca, and the alternating current-ized signal FR as two inputs, and AND gate 250cb and OR-gate 250ce which considers both the outputs of 250 cds as two inputs. It is incorporated by memory cell C<sub>2i-1</sub> and the 258 to 1 m latch circuit whose indicative data (on-off information) of m is 1 bit of the signal pulse indexing circuit 258 by the latch pulse LP 1 generated at the time of read-out of inverter 250cc of odd lines, and is the exclusive OR gate EX1 for lower bits of the 258 to 2 m number judging circuit of inequalities. It is supplied. Moreover, the indicative data (on-off information) of memory cell C<sub>2i</sub> and m is the exclusive OR gate EX2 for high order bits of the 258 to 2 m number judging circuit of direct inequalities by the latch pulse LP 2 of even lines generated following on this. It is supplied. Since it is outputted by turns, as for the latch pulse 1 and LPs 2, the latch circuit 258-1 and the latch period of 258-3 have an overlap period mutually, and the indicative data (ON-ON, turning-on-and-off, and OFF-ON, OFF-OFF) of both memory cells is supplied to the 258 to 2 m number judging circuit of inequalities instantaneous. Moreover, since the information

equivalent to the train pattern of the two above-mentioned scan electrodes is also supplied to the 258 to 2 m number judging circuit of inequalities, the 258 to 2 m number judging circuit of inequalities detects the digit inequality of the 2-bit information on an indicative data, and the 2-bit information on a scan electrode. Since it is a 2-bit output in 2 coincidence selection, the output of the 258 to 2 m number judging circuit of inequalities can be treated as the number of inequalities coded as it was. The number of inequalities in this example which can be taken is 0, 1, or 2. The 2-bit information acquired in the 258 to 2 m number judging circuit of inequalities is incorporated by the 258 to 3 m latch circuit, and the number signal of inequalities is changed into the signal of high logic amplitude level by level-shifter 259m. And electrical-potential-difference selector 260m decoder 260a is the potential of a signal electrode by decoding the number signal of inequalities and making either of the transistors of selecting-switch 260b open and close. – It is V2, 0, and V2. Either will be chosen. In addition, at this example, it is at the time with zero inequality. – It is V2 at the time of 0 and two inequalities at the time of V2 and one inequality. It is chosen. The equal distributed coincidence selection drive of two lines is attained by the configuration of such an X driver. Moreover, even if it does not judge the number of inequalities, the \*\*\*\* circuitry directly decoded from the above-mentioned frame memory output and the output of field State circuit 259c may be adopted.

[0058] Although it will be that the configuration and actuation of each part of X driver in this example were understood by the above explanation, the writing and read-out actuation of a frame memory are explained referring to the timing chart of drawing 14. The frame start pulse YD as shown in drawing 14 by the timing signal generating circuit 120 of the module controller 100, and the latch pulse LP occur. It one-frame period (1F) every generates, and the frame start pulse YD generates the latch pulse LP twice within 1 level period (1H). Here, the latch pulse of N individual occurs within an one-frame period. Within 1 period of the latch pulse LP, indicative-data DATA (WDi) for 1 scan line is transmitted to the X driver 250 with the shift clock XSCL from the module controller 100. Since writing and read-out actuation when the indicative data of all other scan line eyes is changed except for the indicative data WD3 of the 3rd scan line eye among indicative-data DATAs in VRAM12 in drawing 14 are shown, a transfer of the indicative data WD3 of the 3rd scan line eye is not newly performed, but the display action of the indicative data of the 3rd scan line eye is attained by reading the old data in a frame memory 252. The read-out control signal RD, the shift clock detecting signal WE, and the write-in control signal WR as shown in drawing 14 by the timing circuit 253 of the X driver 250 are also generated. If a transfer of the new data WD2 is completed to the X driver 250 by the module controller 100 side, as mentioned above, a transfer of the shift clock XSCL will also be stopped. The transfer after the new data WD4 and the oscillation of the shift clock XSCL are performed after that. If a transfer of the shift clock XSCL is stopped temporarily, as mentioned above, since the module controller 100 enters at the standby period S, the shift clock detector 253-4 of a timing circuit 253 will detect it, and the shift clock detecting signal WE will generate it. Only a write-in control signal (W3) is not generated by this. First, if the first latch pulse (LN) occurs, the indicative data (WD1) of the 1st line will carry out Iriki to the X driver 250 before generating of the following latch pulse (L1) (inside of 1 period). Although it is incorporated by the write-in register 256 according to generating of a latch pulse (L1) and is written in the applicable line address of a frame memory 252 Read-out actuation of the 1st line of the old data is performed for the first latch pulse (LN) from a frame memory 252 from generating before generating of the following latch pulse (L1). If the latch pulse LP occurs, after the 1st precharge control signal PC 1 (period C) occurs first, the write-in control signal WR (period A) will occur. Although it reads after the 2nd precharge control signal PC 2 (period C) occurs after an appropriate time, and a control signal RD (period B) occurs If there is no oscillation of the shift clock XSCL, a write mode will not exist but read-out actuation of the 1st line of the old data will be performed by the read-out control signal R1. In this read-out actuation, the line address of the 1st line is specified with the line address register 257, the old data of the 1st line are read from a frame memory 252 by the odd number latch pulse LP 1 by generating of the following latch pulse (L1), and it is stored in a 258 to 1 m latch circuit, and is the exclusive OR gate EX1 for low order

digits. It is sent. The new data WD1 of the 1st line are written in a frame memory by that latch pulse (L1) after this latch of the old data of the 1st line. The writing to a frame memory 252 is not performed from an input register 255 by 1-shift clock XSCL for about several 100ns, but he is trying to write in at once by one line over sufficient time amount beyond it (several microseconds), here from the write-in register 256 as a buffer at the time of 640 dots of one line. Therefore, although improvement in the speed of writing speed is required as it becomes a mass display, it is desirable to perform write-in actuation through the write-in register 256 by the latch pulse. Read-out of the old data of the 2nd line is performed by the read-out control signal R2 after the writing of the new data WD1 of the 1st line in the period of the latch pulse L2, and it is the exclusive OR gate EX2 for high-order digits. It is sent. And as the 2-bit information on the number of inequalities obtained according to generating of the latch pulse LP 2 of even lines in the number judging circuit 258-2 of inequalities was latched by the latch circuit 258-3 and mentioned above, one of signal levels is chosen by the electrical-potential-difference selector 260, and the signal-electrode potential about a part for a part for 1 scan-line eye and 2 scan-line eye is impressed to a liquid crystal matrix. [0059] Thus, X·RAIBA 252 of this example reads with the write mode over the same line address in 1-latch pulse period, divides the mode, and is made to perform the writing of new data according to generating of the following latch pulse after read-out of the old data. Therefore, the writing of an indicative data to read-out is an one-frame period (1F). [0060] This is needed when especially adopting two or more Rhine coincidence selection drive methods. It is because the drive wave of the signal electrode with which the inequality judging circuit 258 serves as a meaningless display mode from the group of Rhine of the old data and Rhine of new data will be determined if a part of data of the frame memory which reads the indicative data which determines the drive wave of a signal electrode, and corresponds in a period have changed to new data. Since all numbers may be chosen especially as coincidence, the writing of an indicative data to read-out is needed an one-frame period (1F). Therefore, what is necessary is not to ask a selection number but just to make it read in an one-frame-period (1F), in order to avoid a display mode without the semantics which can consider generating, when scrolling a display. However, there are few numbers of coincidence selection — coming — it is unnecessary till an one-frame period (1F). Within the period of 1-latch pulse LP, it reads to the same line address, and write-in actuation can be performed after the mode. However, in order to secure sufficient write-in period also in this example, timing such as a situation where a write time will not be enough secured if the writing to a frame memory performs write-in actuation after read-out mode so that clearly also from it having been made to carry out with the write-in register 256 not by the timing of the shift clock XSCL but by the timing of the latch pulse LP, and a set of automatic power save, \*\*s severely. Since a latch pulse, a shift clock, etc. are inevitably accelerated in multiplying as compared with the former, it is especially hard coming to adopt the above-mentioned order in the mode by two or more lines selection drive methods. Furthermore, if it becomes a mass display, it will become much more difficult. Therefore, it is desirable that read-out mode of 1 time or multiple times is performed after the write mode over the same line address, and it is made to perform the writing of new data in an one-frame period in 1-latch pulse period from read-out of the old data. [0061] In the above-mentioned example, since the equal distributed coincidence selection drive method of two lines is adopted and it is necessary to read the indicative data for two-line Rhine in a frame memory within 1-level period, (the division ratio of the tie MIIGU signal generating circuit 120 of the module controller 100 has been set up so that the latch pulse LP of two shots may occur within 1-level period.) This is because the number of the signal electrode of a display matrix and the number of the train addresses of a frame memory are equal and it is premised on the case that the number and the number of line addresses of a scan electrode are equal and of being general, in the cel array of the memory matrix of a frame memory. However, as shown in drawing 15, when using RAM of the MEMORUSERU array which made [ the one half (block count) of the number of a scan electrode, ] the number of line addresses twice the number of the signal electrode of a display matrix for the number of

the train addresses of a frame memory, the latch pulse LP generated once can be used within 1 level period as usual, namely, the memory cells  $2i$  and  $C_{2m}$  and  $C_{2i+1}$  which will be connected with odd number word line  $WL_{2i}$  of a frame memory, for example if it reads according to generating of the latch pulse LP and becomes the mode, from — the indicative data of the 1st line and the 2nd line is outputted to coincidence through sense amplifier 252m, and read-out of the indicative data for two lines requires only the latch pulse LP of one shot. In such circuitry, the 258 to 1 m latch circuit holding the 1st line indicative data for queuing can be removed until the indicative data of the 2nd line as shown in drawing 13 is outputted, timing adjustment with the 1st latch pulse LP 1 and the 2nd latch pulse LP 2 with the inclination of improvement in the speed does not become delicate, but it contributes to utilization of two or more coincidence selection drive method by simplification of the circuitry of a driver cel part.

[0062] However, in the memory configuration of drawing 16 or drawing 15, the read-out of the speed of address stepping of the word line of the frame memory to the input of the latch pulse LP becomes quick from writing. For this reason, as shown in drawing 16, line address register 257' reads with the W counter 261 for write-in address generation, has the R counter 262 for address generation independently, switches that output by the multiplexer 263, and gives the output RA of a multiplexer 263 to address decoder 252'd. The W counter 261 for write-in address generation generates the write-in address using the precharge signal PC and the write-in control signal WRT which are initialized by the frame start pulse YD and shown by drawing 12. Moreover, the R counter 262 for read-out address generation is initialized by the frame start pulse YD, is read with the precharge signal PC shown by drawing 12, is read using a control signal RD, and generates the address. By doing in this way, it is  $2n$ . In this two or more Rhine coincidence selection drive, regardless of the number of coincidence selection Rhine, an indicative data can be transmitted to X driver from a controller with the period of the same latch pulse LP as the controller of the conventional method.

[0063] Here, the technique of the above-mentioned two-line coincidence read-out is generalized, and the whole X driver configuration which reads the indicative data for two or more lines from a frame memory to coincidence in two or more line coincidence selection drive method is briefly explained with reference to drawing 16. The configuration of memory matrix section 252'a of frame memory 252' in every direction is first set to  $x(hx2n \times D)$  W. The number n of the scan electrode by which a coincidence selection drive is carried out in h:two-or-more Rhine coincidence selection drive here: The number of driver outputs per natural number D:X driver (number of the signal electrode which can be driven) W: Number  $(hx2n \times D) \times W$  of a word line is equal to the number of the maximum display dots which can drive one X driver. Incidentally, the frame memory configuration of drawing 11 is  $x$  (the number of driver outputs) (the number of display Rhine).

[0064] In drawing 16, the indicative data stored in the write-in register 256 is written in the memory cell connected with the word line chosen by address decoder 252'd through write-in circuit 252'b and write-in selector 252'c according to the write-in control signal WR. Address decoder 252'd decodes the line address outputted from the line address shift register 257 of drawing 11. In read-out actuation of an indicative data, according to the read-out control signal RD, the indicative data of a bit  $(hx2n \times D)$  reads from memory matrix section 252'a of a frame memory, and is read to selector 252'e. Read-out selector 252'e chooses the data of a bit  $(hx2n \times D)$  according to the output of address decoder 252'd. Therefore, read-out selector 252'e becomes unnecessary at the time of  $n = 0$ . ( $hxD$ ) The indicative datas of a bit are all indicative datas in which a coincidence drive is carried out by X driver at one scan period. The output of read-out selector 252'e is changed into a digital signal by sense circuit 252'f, and is sent to decoder (MLS decoder) 258'a for two or more coincidence selection drive of signal pulse indexing circuit 258'. MLS decoder 258'a is reset by the indicative data, the liquid crystal alternating current-ized signal FR, and the scan start signal YD, counts the carry signal FS from Y driver, and decodes the signal which chooses driver output potential in response to the output from State counter 258'c which distinguishes the scan condition in one frame. A synchronization is taken by latch circuit 258'b which uses the latch

pulse LP as a clock, and the output of MLS decoder 258'a is given to a level shifter 259. According to such circuitry, also although it is called two or more coincidence selection drive method, read-out of the indicative data for two or more lines can be managed with 1 time per one scan, and can also realize the simplification of circuit timing with the reduction effectiveness of power consumption.

[0065] In addition, although especially the case where the equal distributed coincidence selection drive method of two lines is adopted in this example is explained, also in the case of the drive method chosen as coincidence, this invention can apply three lines or more two or more lines. Moreover, it is not necessary to say that this invention is applicable also to the drive method of the electrical-potential-difference equalizing method partially used from the former. Furthermore, it is applicable not only to a passive-matrix mold but an MIM drive method etc. In the above-mentioned example, although the frame memory has give the cel corresponding to 1 to 1 to the pixel of a display object, it has a frame memory for the part which is related before and after the pixel by which the current drive is carry out among display object pixels, or two or more screens, and can be going to just apply this invention also about the method which sends an indicative data to X driver from a module controller intermittently, and the method using the indicative data compressed to the pixel of a display object. Furthermore, this invention is widely applicable to the liquid crystal application equipment which used the light valve nature of matrix mold displays, such as not only a LCD indicating equipment but a fluorescent indicator tube, a plasma display, electroluminescence, etc., or liquid crystal.

[0066]

[Effect of the Invention] As explained above, this invention has the description in the method which combined the conventional matrix mold display control and the conventional memory built-in signal-electrode driver for it to have been made to carry out the intermittent control action of the source of an oscillation of the high frequency clock of a matrix mold display control on the occasion of a transfer of an indicative data. According to such a matrix mold display control, since a high frequency clock operates and an indicative data is transmitted to the 2nd storage means only when there is modification of an indicative data in the 1st storage means, low-power-ization of the whole matrix display equipment can be attained by the intermittent control action of a high-frequency clock.

[0067] Moreover, since it is what the matrix display control unit MPU stands on agency rather than performs transfer processing to the 2nd storage means performs, while being able to reduce the processing burden of the host MPU by the side of the 1st storage means Furthermore, since the indicative data for every scan line is stored in the 2nd storage means at once by carrying out cascade connection of the driving gear of a signal electrode, easy-ization of matching of the address can also be attained, therefore improvement in the speed of screen modification can be attained. Furthermore, a mass display can also control the number of connection of a matrix mold display control and a driving gear by the cascade connection of the driving gear of a signal electrode, and a display with the big rate of display screen surface ratio can be realized.

[0068] moreover, the timing which divided one scan period without using a high-speed clock in a signal-electrode driver — the 2nd storage means — allowances — with, it is made to have accessed

[0069] For this reason, since the access timing to the 2nd storage means is eased as compared with the former, the write-in force can be raised and-izing of the size of the configuration transistor of the 2nd storage means can be carried out. [ \*\*\*\* ]. It contributes also to the miniaturization of the chip size of a driver.

[0070] Furthermore, if this invention is applied to two or more line coincidence selection drive approach, although there are more amounts of data processing which the display per line takes than the conventional drive approach, since \*\* which operates the display itself by low frequency is made, rather than before, with a low power, there are few flickers and \*\* which realizes the matrix mold liquid crystal display of high contrast and a high-speed response is made.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the whole simple matrix liquid crystal indicating equipment configuration concerning the example of this invention.

[Drawing 2] It is the block diagram showing the detail of the module controller in the simple matrix liquid crystal indicating equipment concerning this example.

[Drawing 3] It is a timing chart for explaining actuation of the above-mentioned module controller.

[Drawing 4] It is the mimetic diagram showing an example of the on-off mode of the pixel in a simple matrix liquid crystal display.

[Drawing 5] It is the wave form chart showing the scan electrode wave and signal-electrode wave in the multiplexer drive method by the electrical-potential-difference equalizing method.

[Drawing 6] It is the wave form chart showing the on-off property of the pixel liquid crystal in the multiplexer drive method by the electrical-potential-difference equalizing method.

[Drawing 7] It is the wave form chart showing the scan electrode wave \*\*\*\*\* wave in the equal distributed selection drive method of three lines.

[Drawing 8] It is the wave form chart showing the on-off property of the pixel liquid crystal in the equal distributed selection drive method of three lines shown in drawing 7.

[Drawing 9] It is the wave form chart showing an example the scan electrode wave-like in the distributed selection drive method of two lines which this example adopts, and signal-electrode wave-like.

[Drawing 10] (a) is the block diagram showing the configuration of the scan electrode drive circuit (Y driver) in the simple matrix liquid crystal indicating equipment concerning this example, and (b) is the schematics which carried out cascade connection of two or more of the Y drivers.

[Drawing 11] It is the block diagram showing the configuration of the signal-electrode drive circuit (X driver) in the simple matrix liquid crystal indicating equipment concerning this example.

[Drawing 12] It is the circuit diagram showing the detail of the configuration of the timing circuit in this signal-electrode drive circuit (X driver).

[Drawing 13] It is the circuit diagram showing the circuitry which paid its attention to 250m of m bit circuit sections per one signal electrode (one output Xm) to the circumference circuit in this signal-electrode drive circuit, the signal pulse indexing circuit from a frame memory, a level shifter, and an electrical-potential-difference selector.

[Drawing 14] It is a timing chart for explaining the write-in actuation and read-out actuation in this signal-electrode drive circuit.

[Drawing 15] it can set in this signal-electrode drive circuit — another — hurrah, it is the block diagram showing the configuration of MUMMEMORI.

[Drawing 16] another — hurrah, it is the block diagram showing the configuration of the signal-electrode drive circuit (X driver) at the time of using MUMMEMORI.

[Description of Notations]

10 -- Host MPU  
11 -- System memory  
12 -- VRAM  
13 -- Auxiliary storage unit  
14a -- System bus  
14b -- Dedicated bus  
15 -- Touch sensor for an input  
16 -- Touch sensor controller  
17 -- Data bus  
100 -- Module controller  
110 -- Low frequency oscillator circuit  
110a -- Vibrator  
120 -- Timing signal generating circuit  
121 -- Counting-down circuit  
122 -- Perpendicular counter  
123 -- Frame counter  
130 -- Standby circuit  
131 -- System bus interface circuitry  
132 -- Rhine flag register  
133 -- Comparator circuit  
134 -- Synchronizing circuit  
134a -- Inverter  
134b -- D type flip-flop  
134c -- AND gate  
140 -- RF oscillator circuit  
141 -- AND gate  
142 -- Variable frequency CR oscillator  
142a -- AND gate  
142b, 142c -- Inverter  
142d -- Switch selection register  
R1, R2, and R2 -- feedback resistor  
C1 -- Feedback capacitor  
SW1, SW2, and SW3 -- selecting switch  
143 -- Intermittent-control-action timing circuit  
143a -- Inverter  
143b -- AND gate  
143c -- Preset counter  
143e -- Inverter  
143d -- The number register of clocks  
143f -- Inverter  
144 -- AND gate  
150 -- DMA circuit  
151 -- DMA control circuit  
152 -- Data-conversion circuit  
200 -- LCD module  
220 -- Y driver  
221 -- Code generating section  
222 -- Electrical-potential-difference selector  
223 -- The 1st shift register

224 -- The 2nd shift register  
225 -- Latch section  
226 -- Level shifter  
250 -- X driver  
250a -- Parity Rhine discrimination decision circuit  
250aa(s) -- D type flip-flop  
250ab(s), 250ac -- NAND gate  
250c -- Field State circuit  
250ca(s) -- D type flip-flop  
250cb(s), 250 cds -- AND gate  
250 cc -- Inverter  
250ce(s) -- OR gate  
251 -- Chip enable control circuit  
252 -- Frame memory  
253 -- Timing circuit  
253-1 -- The 1st one-shot multivibrator  
253-2 -- The 2nd one-shot multivibrator  
253-3 -- The 3rd one-shot multivibrator  
253-4 -- Shift clock detector  
253-5 -- AND gate  
253a -- AND gate  
253b -- AND gate  
253c -- AND gate  
253d, 253h, 253j -- Inverter  
253e, 253f, 253g, 253g' -- NAND gate  
253i, 253k, 253m -- Delay circuit  
253s, 253t -- D type flip-flop  
EX1 and EX2 -- exclusive OR gate  
254 -- Data input control circuit  
255 -- Input register  
256 -- Write-in register  
257 -- Line address register  
258 -- Signal pulse indexing circuit  
258-1 -- Latch circuit  
258-2 -- The number judging circuit of inequalities  
258-3 -- Latch circuit  
259 -- Level shifter  
260 -- Electrical-potential-difference selector  
252'a -- Frame memory  
252'b -- Write-in circuit  
252'c -- Write-in selector  
252'd -- Address decoder  
252'e -- Read-out selector  
258' -- Signal pulse indexing circuit  
258'a--MSL decoder  
258'b -- Latch circuit  
258'c -- State counter.

---

[Translation done.]